

SEMICONDUCTOR ELEMENT AND ITS MANUFACTURING METHOD

Patent Number: JP2001168392
Publication date: 2001-06-22
Inventor(s): MIYAMOTO KAZUHIRO; SAOTOME HIROAKI; SATO HIROYUKI; MORIKAWA KENICHI
Applicant(s): STANLEY ELECTRIC CO LTD
Requested Patent: JP2001168392
Application Number: JP19990351051 19991210
Priority Number(s):
IPC Classification: H01L33/00; H01L21/28; H01L21/363
EC Classification:
Equivalents: JP3441059B2

Abstract

PROBLEM TO BE SOLVED: To form a semiconductor element having good ohmic electrode on a p type ZnO single crystal layer.
SOLUTION: The semiconductor element comprises a p type ZnO single crystal layer 107, a first metal layer 108a contacted with the layer 107 and containing at least one type selected from the group consisting of Ni, Rh, Pt, Pd and their alloys, and a second metal layer 108b formed on the layer 108a and containing a metal different from that of the layer 108a or their alloys.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-168392
(P2001-168392A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl. ⁷	識別記号	F I	テームコード (参考)
H 0 1 L 33/00		H 0 1 L 33/00	D 4 M 1 0 4
21/28	3 0 1	21/28	3 0 1 Z 5 F 0 4 1
21/363		21/363	5 F 1 0 3

審査請求 有 請求項の数20 O L (全 16 頁)

(21) 出願番号 特願平11-351051

(22) 出願日 平成11年12月10日 (1999. 12. 10)

(71) 出願人 000002303

スタンレー電気株式会社
東京都目黒区中目黒2丁目9番13号

(72) 発明者 宮本 和弘

神奈川県横浜市青葉区荏田西1-3-1
スタンレー電気株式会社技術研究所内

(72) 発明者 五月女 博明

神奈川県横浜市青葉区荏田西1-3-1
スタンレー電気株式会社技術研究所内

(74) 代理人 100091340

弁理士 高橋 敬四郎 (外1名)

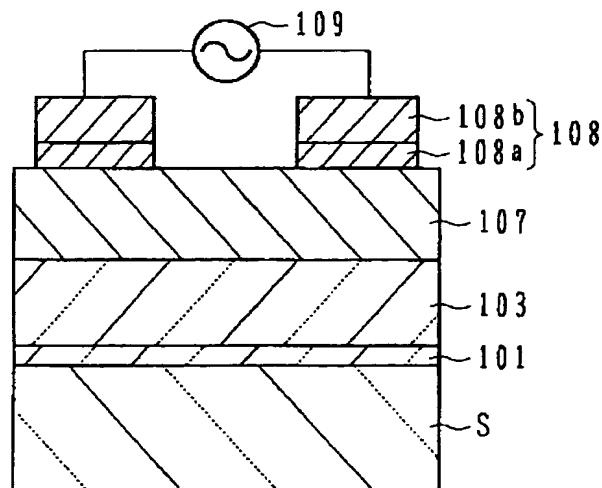
最終頁に続く

(54) 【発明の名称】 半導体素子及びその製造方法

(57) 【要約】

【課題】 p型ZnO系単結晶層に対して良好なオーミック電極を有する半導体素子を形成する。

【解決手段】 p型ZnO系単結晶層107と、それに接触し、Ni、Rh、Pt、Pdおよびこれらの合金の群から選択された少なくとも1種を含む第1金属層108aと、その上に形成され、第1金属層108aとは異なる金属、又はそれらの合金を含む第2金属層108bとを含む。



【特許請求の範囲】

- 【請求項1】 p型ZnO系単結晶層と、
前記p型ZnO系単結晶層に接触し、Ni、Rh、Pt、Pdおよびこれらの合金の群から選択された少なくとも1種を含む第1金属層と、
前記第1金属層の上に形成され、前記第1金属層とは異なる金属、又はそれらの合金を含む第2金属層とを含む半導体素子。
- 【請求項2】 p型ZnO系単結晶層と、
前記p型ZnO系単結晶層に接触し、仕事関数が5.0 eV近傍の金属を含む第1金属層と、
前記第1金属層の上に形成され、仕事関数が5.0 eV近傍であり、前記第1金属層を形成する金属とは異なる金属の1種又はこれらの金属を含む合金からなる第2金属層と、
前記第2の金属層の上に形成され、その仕事関数が前記第1金属層の仕事関数よりも低い金属からなる表面金属層とを含む半導体素子。
- 【請求項3】 前記表面金属層は、前記第2金属層よりも高い反射率を有する請求項2記載の半導体素子。
- 【請求項4】 前記表面金属層は、Ag又はAgを含む合金、若しくはAl又はAlを含む合金を含む請求項2記載の半導体素子。
- 【請求項5】 前記仕事関数が5.0 eV近傍の金属は、
Ni、Au、C、Pdのうちから選択される元素又はこれらの元素を含む化合物又は合金を含む請求項2から4までのいずれかに記載の半導体素子。
- 【請求項6】 前記第1金属層は、厚さが50 nm以下の層状又は高さが50 nm以下の島状の領域である請求項1から5までのいずれかに記載の半導体素子。
- 【請求項7】 前記第1金属層がNiであり、前記第2金属層がAuである請求項1から6までのいずれかに記載の半導体素子。
- 【請求項8】 前記第1金属層と前記第2金属層とが固融状態である請求項1から7までのいずれかに記載の半導体素子。
- 【請求項9】 前記p型ZnO系単結晶は、ZnO層とZnTe層とが交互に積層された積層構造であって、少なくとも前記ZnTe層にはNがドーピングされている請求項1から8までのいずれかに記載の半導体素子。
- 【請求項10】 前記p型ZnO系単結晶は、p型不純物とn型不純物とが共ドーピングされている請求項1から8までのいずれかに記載の半導体素子。
- 【請求項11】 前記p型不純物はNであり、前記n型不純物はGaである請求項10記載の半導体素子。
- 【請求項12】 表面が露出されたp型ZnO系単結晶層を準備する工程と、
前記p型ZnO系単結晶層の表面上に、Ni、Rh、Pt、Pdおよびこれらの合金の群から選択された少なく

とも1種を含む第1金属層を形成する工程と、
前記第1金属層の上に、前記第1金属層とは異なる金属、又はそれらの合金を含む第2金属層とを形成する工程とを含む半導体素子の製造方法。

【請求項13】 表面が露出されたp型ZnO系単結晶層を準備する工程と、
前記p型ZnO系単結晶層の表面上に、仕事関数が5.0 eV近傍の金属を含む第1金属層を形成する工程と、
前記第1金属層の上に、仕事関数が5.0 eV近傍であり、仕事関数が前記第1金属層の仕事関数よりも低い金属であって前記第1金属層を形成する金属とは異なる金属又はこれらの金属を含む合金からなる第2金属層を形成する工程とを含む半導体素子の製造方法。

【請求項14】 前記第1及び第2金属層を形成する工程の後に、熱処理を行う工程を含む請求項12又は13に記載の半導体素子の製造方法。

【請求項15】 基板と、
前記基板上に形成されたZnO系バッファ層と、
前記ZnO系バッファ層上に形成された第1導電型又は第2導電型ZnO系単結晶層を含む第1半導体層と、
前記第1導電型又は第2導電型ZnO系単結晶層上に形成され、前記第1導電型又は第2導電型ZnO系単結晶層と逆の導電型を有する第2半導体層と、
前記第1半導体層又は前記第2半導体層のうちp型の半導体層に接触し、Ni、Rh、Pt、Pdおよびこれらの合金の群から選択された少なくとも1種を含む第1金属層と、前記第1金属層の上に形成され、前記第1金属層とは異なる金属、又はそれらの合金を含む第2金属層とを含む半導体素子。

【請求項16】 基板と、
前記基板上に形成されたZnO系バッファ層と、
前記ZnO系バッファ層上に形成された第1導電型又は第2導電型ZnO系単結晶層のいずれかを含む第1半導体層と、
前記第1導電型又は第2導電型ZnO系単結晶層上に形成され、前記第1導電型又は第2導電型ZnO系単結晶層と逆の導電型を有する第2半導体層とを含み、
前記第1半導体層又は前記第2半導体層のうちp型の半導体層に接触し、仕事関数が5.0 eV近傍の金属を含む第1金属層と、
前記第1金属層の上に形成され、仕事関数が5.0 eV近傍であり、前記第1金属層を形成する金属とは異なる金属又はこれらの金属を含む合金の一種からなる第2金属層と、
前記第2の金属層の上に形成され、仕事関数が前記第1金属層の仕事関数よりも低い金属からなる表面金属層とを含む半導体素子。

【請求項17】 基板と、
前記基板上に形成されたZnO系バッファ層と、
前記ZnO系バッファ層上に形成されたn型ZnO系単

結晶層と、
前記n型ZnO系単結晶層上に形成されたp型ZnO系単結晶層と、
前記n型ZnO系単結晶層に接触する第1電極と、
前記p型ZnO系単結晶層に接触し、Ni、Rh、Pt、Pdおよびこれらの合金の群から選択された少なくとも1種を含む第1金属層と、前記第1金属層の上に形成され、前記第1金属層とは異なる金属、又はそれらの合金を含む第2金属層とを含む第2電極と、
前記第1電極および又は前記第2電極に形成された開口とを含む光半導体素子。

【請求項18】 基板と、
前記基板上に形成されたZnO系バッファ層と、
前記ZnO系バッファ層上に形成されたn型ZnO系単結晶層と、
前記n型ZnO系単結晶層上に形成されたp型ZnO系単結晶層と、
前記n型ZnO系単結晶層に接触する第1電極と、
前記p型ZnO系単結晶層に接触し、仕事関数が5.0 eV近傍の金属を含む第1金属層と、前記第1金属層の上に形成され、仕事関数が5.0 eV近傍であり、前記第1金属層を形成する金属とは異なる金属又はこれらの金属を含む合金からなる第2金属層と、前記第2の金属層の上に形成され、仕事関数が前記第1金属層の仕事関数よりも低い金属からなる表面金属層とを含む第2電極と、
前記第1電極及び前記第2電極に形成された開口とを含む光半導体素子。

【請求項19】 前記基板は透明基板であり、
前記開口上に、前記開口から出射される光を前記基板側へ反射する反射電極が設けられている請求項17又は18に記載の光半導体素子。

【請求項20】 さらに、前記基板の裏面側には、前記基板に向けて進む光を反射する反射部が設けられるとともに、前記基板の表面側には、前記第1電極、前記第2電極とそれぞれ電気的に接触する第1配線部、第2配線部が形成された第2の透明基板が配置されている請求項17又は18に記載の光半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ZnO系の半導体素子に関し、より詳細には、p形ZnO系単結晶に対して低抵抗なオーミック接触が得られる電極構造を含む半導体素子及びその製造方法に関する。

【0002】

【従来の技術】II-VI族化合物半導体の一種であるZnO結晶は、発光素子や受光素子などの光半導体素子への応用が期待されている。ZnO結晶は、広いバンドギャップを有する半導体であるため ($E_g = 3.4 \text{ eV}$)、バンドギャップに対応した発光波長は360 nm

から400 nmの紫外光となる。

【0003】

【発明が解決しようとする課題】ところで、ZnOは、単極性と呼ばれる性質を有している。ZnOを用いてn型半導体 (n-ZnO) を実現することは比較的容易であるが、p型半導体 (p-ZnO) を実現することは難しかった。

【0004】従って、ZnOを用いてp-n接合を形成することが難しく、ZnO系の半導体素子、特にp-n接合を有する光半導体素子を実現することは困難であった。

【0005】最近、ZnO中にp型不純物である窒素 (N) とn型不純物であるガリウム (Ga) を共ドーピング (co-dope) する技術を用いることにより、p型ZnO結晶が得られた旨の報告がなされている。より具体的には、パルスレーザーデポジション法により、ZnO中にp型不純物である窒素 (N) とn型不純物であるガリウム (Ga) を共ドーピング (co-dope) しつつ、p型ZnO単結晶を成長する方法が用いられている。

【0006】ところで、n型ZnO結晶に対するオーミック電極としては、一般的にはAlが用いられているが、前述のような事情から、p型ZnO結晶に適したオーミック電極に関する知見がなかった。

【0007】本発明は、p型ZnO系結晶に適したオーミック電極構造を有する半導体素子及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明の一観点によれば、p型ZnO系単結晶層と、前記p型ZnO系単結晶層に接触し、Ni、Rh、Pt、Pdおよびこれらの合金の群から選択された少なくとも1種を含む第1金属層と、前記第1金属層の上に形成され、前記第1金属層とは異なる金属、又はそれらの合金を含む第2金属層とを含む半導体素子が提供される。

【0009】本発明の他の観点によれば、表面が露出されたp型ZnO系単結晶層を準備する工程と、前記p型ZnO系単結晶層の表面上に、Ni、Rh、Pt、Pdおよびこれらの合金の群から選択された少なくとも1種を含む第1金属層を形成する工程と、前記第1金属層の上に、前記第1金属層とは異なる金属、又はそれらの合金を含む第2金属層と形成する工程とを含む半導体素子の製造方法が提供される。

【0010】本発明の他の観点によれば、基板と、前記基板上に形成されたZnO系バッファ層と、前記ZnO系バッファ層上に形成された第1導電型又は第2導電型ZnO系単結晶層のいずれかを含む第1半導体層と、前記第1導電型又は第2導電型ZnO系単結晶層上に形成され、前記第1導電型又は第2導電型ZnO系単結晶層と逆の導電型を有する第2半導体層とを含み、前記第1

半導体層又は前記第2半導体層のうちp型の半導体層に接触し、Ni、Rh、Pt、Pdおよびこれらの合金の群から選択された少なくとも1種を含む第1金属層と、前記第1金属層の上に形成され、前記第1金属層とは異なる金属、又はそれらの合金を含む第2金属層とを含む半導体素子が提供される。

【0011】

【発明の実施の形態】以下、本明細書において用いる、p型ZnO系単結晶との用語は、p型ZnO単結晶のみではなく、例えば、ZnOとZnTeとの超格子構造のように、ZnOを主要成分として含み、ZnOと同様の広いバンドギャップを有する半導体単結晶層をも含むものとする。

【0012】また、本明細書中において定義される「低温成長ZnOの成長温度」とは、例えば200℃から600℃程度の、一般的にZnO単結晶を成長するための結晶成長の温度よりも100℃から400℃程度低い温度である。「高温成長単結晶ZnO層の成長温度」とは、一般的にZnO単結晶を成長する際に適した成長温度であり、上記の「低温成長ZnOの成長温度」よりも高く、かつ、800℃よりも低い温度であり、例えば650℃である。

【0013】発明者は、まず、p型ZnO半導体結晶用の電極についての検討を行った。

【0014】金属（電極）と半導体とを接合させた際に、半導体側からみたバリア高さ eV_d は、 $eV_d = \phi_m - \phi_s$ で表される。ここで、 V_d は半導体層の拡散電位、 ϕ_m は金属（電極）の仕事関数、 ϕ_s は半導体の仕事関数である。

【0015】p型半導体と金属とを接触させた場合に、良好なオーミック接合が得られる条件は、 $\phi_m > \phi_s$ (p)で表される。

【0016】ところで、p型ZnO半導体結晶の仕事関数 ϕ_s (p)は、6.25 eV程度（真性半導体を仮定すると）と大きい。尚、p型不純物のドーパ量を 10^{18} cm^{-3} と仮定すると、仕事関数 ϕ_s 7.9 eV程度となる。従って、p型ZnO系単結晶用のオーミック電極材料としては、仕事関数（ ϕ_m ）の比較的大きい金属を選択するのが、金属-半導体間のコンタクト抵抗を低減するという観点からも望ましいと考えられる。

【0017】p型ZnO系単結晶用のオーミック電極材料として具体的には、Ni（ $\phi_m = 5.15$ ）、Ge（ $\phi_m = 5.0$ ）、Se（ $\phi_m = 5.9$ ）、Rh（ $\phi_m = 4.98$ ）、Te（ $\phi_m = 4.95$ ）、Re（ $\phi_m = 4.96$ ）、Ir（ $\phi_m = 5.27$ ）、Pt（ $\phi_m = 5.65$ ）、Au（ $\phi_m = 5.1$ ）、C（ $\phi_m = 5.0$ ）、Pd（ $\phi_m = 5.12$ ）などの材料は、仕事関数が比較的大きいため望ましいと考えられる。

【0018】尚、本明細書において、「仕事関数が5.0 eV近傍である」との記載は、例えば、仕事関数が、

4.5から6.0までの範囲内であり、好ましくは、仕事関数が4.9から5.2までの範囲内であることを意味する。

【0019】発明者による理論的考察及び実験結果によれば、特にNi（1層目：p型ZnO結晶と直接接触する金属）/Au（2層目：1層目の金属上に堆積される金属）の積層構造が好ましい。

【0020】Ti/Auの積層構造に熱処理を行った構造の他に、Rh/Au、Pt/Rh、Pd/Au、Pt/Au、Ni/Rh、Ni/Pt、Ni/Pd、Ni/Ir、Ir/Au、Ir/Rh、Ir/Pdの積層構造に熱処理を行ったものなどが有望であることがわかった。

【0021】以上の知見に基づき、p型ZnO系単結晶に対するオーミック電極として上記のような電極構造を有する半導体素子について以下に説明する。

【0022】本発明の第1の実施の形態による半導体素子について図面を参照して説明する。

【0023】図1に、半導体素子を構成するZnO系結晶構造を成長するための成長装置の一例として、ラジカルソース分子線エビタキシー（RS-MBE）法を用いた結晶成長装置（以下「RS-MBE装置」という。）の構造を示す。

【0024】RS-MBE装置Aは、結晶成長が行われるチャンバ1と、チャンバ1を超高真空状態に保つ真空ポンプPとを含む。

【0025】チャンバ1は、Znを蒸発させるためのZn用ポート11と、Gaを蒸発させるためのGa用ポート21と、Oラジカルを照射するためのOラジカルポート31と、Nラジカルを照射するためのNラジカルポート41とを含む。

【0026】Zn用ポート11は、Zn（純度7N）原料15を収容するとともに加熱・蒸発させるクヌーセンセル（Knudsen cell：以下Kセルと呼ぶ。）17とシャッターS₁とを備えている。

【0027】Ga用ポート21は、Ga原料25を収容するとともに加熱・蒸発させるKセル27とシャッターS₂とを備えるOラジカルポート31は、無電極放電管内に原料ガスである酸素ガスを導入し、高周波（13.56 MHz）を用いて生成したOラジカルを、MBEチャンバ1内に噴出する。Oラジカルのビームに対してオリフィス33とシャッターS₃とが設けられている。

【0028】Nラジカルポート41は、無電極放電管内に原料ガスである窒素ガスを導入し、高周波（13.56 MHz）を用いて生成したNラジカルをMBEチャンバ1内に噴出する。Nラジカルのビームに対してシャッターS₄が設けられている。

【0029】ラジカルポート31、41の構造は、外側シールド管内に設けられている放電管の外側に誘導コイルが巻かれている構造である。

【0030】チャンバ1内には、結晶成長の下地となるサファイヤ基板Sを保持する基板ホルダー3と、基板ホルダー3を加熱するためのヒータ3aとが設けられている。

【0031】サファイヤ基板Sの温度はヒーターに設置された熱電対5によって間接的に測定可能である。基板ホルダー3の位置は、ペローズを用いたマニピュレータ7によって移動可能である。

【0032】チャンバ1は、成長した結晶層をモニタリングするために設けられた反射電子線回折装置(RHEED装置)のガン51とRHEED装置のスクリーン55を含む。RHEED装置のガン51とRHEED装置のスクリーン55とを用いて、MBE装置A内での結晶成長の様子(成長量、成長した結晶層の質)をモニタリングしながら成長を行うことができる。

【0033】結晶成長の温度、結晶成長膜の厚さ、チャンバ内の真空度等は、制御装置Cによって適宜制御される。

【0034】以下に、サファイヤ基板S上に、ZnOを成長する工程について、詳細に説明する。

【0035】結晶成長はRS-MBE法によりシャッターS₁からS₄までを適宜開閉することにより行う。

【0036】ラジカルソースを発生させる方法としては、RFを用いたRF-MBE法が用いられる。13.56MHzの高周波を用いて、無電極放電管内に原料ガスであるO₂を導入することによりOラジカルを生成する。Oラジカルを高真空状態のMBEチャンバ1内に吹き出させることにより、Oラジカルビームとなる。OラジカルビームとKセルからのZnビームとをサファイヤ基板S上に同時に照射することにより、ZnO薄膜の成長を行う。

【0037】図2は、本実施の形態による半導体素子の構造を示す断面図である。

【0038】以下に、図2に示される半導体素子を形成するための工程について説明する。

【0039】1) 表面処理: (0001)面を有するサファイヤ基板S表面を、110℃に加熱したH₃PO₄:H₂SO₄=1:3の溶液中で60分ウェットエッチングした。

【0040】上記の表面処理を行った後、サファイヤ基板Sを基板ホルダー3(図1)に装着した。

【0041】基板温度600℃、酸素の流量を2sccm、RFパワーを150Wの条件下で、MBE装置中において1時間酸素プラズマによる表面処理を行った。MBE装置内においてサファイヤ基板Sの表面を処理することにより、サファイヤ基板S表面が清浄化される。

【0042】2) 低温成長ZnOバッファ層成長: 上記の基板表面処理の後、まずバッファ層101を成長する。通常の単結晶ZnO基板の成長条件と異なり低温かつZnリッチの条件下での成長を行う(低温成長ZnO

層)。Znのビーム量は、 4.0×10^{-7} Torrである。

【0043】酸素ビームの供給源としてOのRFプラズマソースを用いる。Oラジカルポート21に純酸素(純度6N)ガスを導入し、高周波発振源を用いてラジカル化する。

【0044】ガスソースである酸素の流量は、チャンバ内の酸素の分圧として流量2.0sccmにおいて 5×10^{-5} Torr、RFパワーは300Wである。成長温度は500℃で行った。尚、成長は、200℃から600℃の間で行うのが好ましい。

【0045】ZnOバッファ層101の厚みは、10nmとした。尚、厚さは、10から100nmの範囲が好ましい。

【0046】ここで、上記の圧力の値は、基板ホルダー位置(成長位置)に取り付けたヌードイオンゲージの指示値を示したものである。

【0047】3) 平坦化処理: 低温成長ZnOバッファ層101を成長した後、ZnOバッファ層101の表面の平坦化処理を行った。平坦化処理としては単結晶を成長させるような高温、例えば600℃において10分間の熱処理を行った。尚、熱処理時間は、2分間から60分間までの間の時間から選択される。

【0048】低い成長温度で成長を終えた低温成長ZnOバッファ層101は粒界を有する単結晶で、各グレインが同じ異方性を示すようにエピタキシャル成長していると考えられる。主にそのグレイン間の粒界に起因して凹凸が観察される。低温成長ZnOバッファ層101に上記の熱処理を施すことで、各グレインの単結晶が固相成長してグレインサイズが大型化して表面を平坦化するものと考えられる。

【0049】特にZnリッチの条件で成長させた場合には、酸素リッチの条件で成長させた場合に比べて当初の表面凹凸が小さいので、平坦化処理により優れた平坦表面が得られやすい。優れた平面表面を有する低温成長ZnOバッファ層の上に高温でZnO層を成長すると、良好な結晶性の単結晶ZnO層が得られやすい。

【0050】低温成長ZnOバッファ層101は、成長したまま(as-grown)の状態ではグレインサイズが小さく粒界が観察されるため、(Atomic Force Microscopy: AFM)観察では多結晶のようにも見える。しかしながら、X線回折やRHEED法による解析を行うと単結晶の特性を示す。

【0051】この現象は、GaNやZnOでの成長において観察される。低温成長ZnOバッファ層101を高温熱処理することにより、粒界等に起因する凹凸が固相成長の場合と同様に成長し、表面が平坦化するものと考えられる。平坦でないZnO表面上に単結晶ZnOを成長しようとしても、経験上、その結晶性は良くならない。

【0052】4) アンドープZnO単結晶層の成長：次いで平坦化した低温成長ZnOバッファ層101上に、アンドープのZnOの単結晶（高温成長ZnO単結晶層）103を成長した。厚さは1 μ mである。

【0053】成長条件として、基板温度は、600℃である。Kセルの温度は320℃である。この場合のZnの蒸発速度は、1.6オングストローム/秒である。

【0054】酸素の流量は、2.0sccmである。この場合、酸素の分圧は 5×10^{-5} Torrである。RFパワーは300Wである。

【0055】尚、高温成長ZnO単結晶層103の成長条件としては、600℃から800℃の間の温度で、1 μ m程度成長する。

【0056】低温成長ZnOバッファ層101を設け、かつ、その表面の平坦化処理を行った後に、その上に高い成長温度で高温成長アンドープのZnO単結晶層103を成長することにより、アンドープのZnO単結晶層103の結晶性が向上した。

【0057】ZnO結晶中に多くの結晶欠陥が導入されると、不純物を導入しない状態においても、強いn型の導電性を示す。上記の結晶成長法を用いて成長した高温成長アンドープZnO単結晶層103は、結晶欠陥が非常に少ない。従来の結晶成長方法によって成長したZnO単結晶では困難であったp型の導電性を示すZnOを実現することも可能となる。非発光センターを形成するような結晶欠陥が大幅に低減されるため、発光効率も非常に高くなったものと考えられる。

【0058】5) p型ZnO単結晶層の成長：次に、p型ZnO単結晶層107を成長した。

【0059】p型ZnO単結晶層107の成長条件は、上記のアンドープZnO単結晶層103の成長条件とほぼ同様である。

【0060】但し、結晶成長は550℃で行った。尚、成長温度としては、500℃から700℃の範囲が好ましい。

【0061】ドーパントとして、通常はn型ZnO用のドーパントであるGaに加えて、Nを用いた。GaのKセル温度は、600℃である。ZnO結晶の成長中に、Nプラズマをチャンバ内に導入してNをドーピングした。Nプラズマを発生させる際のN₂ガスの流量は0.1sccm、RFパワー300Wである。膜厚は1 μ mである。

【0062】成長したp型ZnO単結晶107に関してホール測定による評価を行った。実際にp型の導電性を示すことが確認された。抵抗率は1.78 Ω cmである。p型不純物濃度は、 5.47×10^{17} cm⁻³である。

【0063】結晶成長条件を最適化することにより、より高い不純物濃度、例えば 10^{19} cm⁻³程度の不純物濃度のp型ZnO単結晶層が得られるものと期待される。

【0064】6) オーミック電極の形成：次いで、p型ZnO単結晶層107の上に、電極を形成する工程について説明する。

【0065】まず、pZnO単結晶層107まで成長した後に、サファイヤ基板SをMBEチャンバ1（図1）から取り出す。蒸着用のマスクパターンを形成した後、サファイヤ基板Sを蒸着装置内に取り付ける。

【0066】蒸着装置内において、p型ZnO単結晶の上に、第1金属層108aとしてNiを70Åの厚さで蒸着する。次いで、第2金属層108bとしてAuを3500Å形成する。所定距離だけ離れた位置に複数のNi/Au電極108が形成される。

【0067】蒸着装置内からNi/Au電極108が形成された基板を取り出し、窒素雰囲気内において基板をランプ加熱により熱処理を施した。加熱温度は500℃、加熱時間は20秒である。

【0068】なお、上記の電極材料として単独の材料、例えばAuのみを用いることも可能である。

【0069】熱処理を行う場合、加熱条件は、200℃から600℃の範囲で行うことができる。300℃から500℃の範囲が好適である。熱処理は、窒素（N₂）、アルゴン（Ar）、などの不活性ガスの雰囲気で行うことが望ましい。

【0070】尚、ZnOを結晶材料としているため、大気中や酸素ガス雰囲気下など、酸素ガスの存在下において熱処理を行うことも可能である。酸素ガスの存在下において熱処理すれば、ZnO結晶からの酸素の解離が防止できる。

【0071】熱処理を行う場合の加熱時間は、1秒から10分までの間である。実用的には、1秒から3分間、好ましくは1分以内であることが好ましい。

【0072】図3に、上記の工程により形成されたp型ZnO結晶層107上に形成されたNi/Au電極108の電気的特性を測定器109（図2）を用いて評価した結果を示す。

【0073】サファイヤ基板のサイズは、10mm×12mm程度である。このサファイヤ基板上に、5mmピッチで縦方向及び横方向に整列した複数のNi/Au電極108（図2）を形成した。

【0074】各電極のサイズは、 $\phi 0.1$ mmである。これらの電極のうち、一対の電極を用いて電極間の電流－電圧特性を評価した。図3は、この時に得られた電流－電圧特性を示す。結果としてほぼリニアなオーミック特性が得られた。

【0075】またこの時に実測されたコンタクト抵抗の値は、約3.3k Ω 程度である。求められたコンタクト抵抗率は、約 1×10^{-2} Ω cm²である。

【0076】上述のように、p型ZnO単結晶層107の成長条件を最適化することによりp型不純物濃度を高くすれば、p型ZnO単結晶層107のシート抵抗がさ

らに低くなる。加えて、p型ZnO単結晶層107とNi/Au電極108との間のコンタクト抵抗が一層低減される。

【0077】上記の本発明の第1の実施の形態による半導体素子においては、p型ZnO単結晶用のオーミック電極としてNi/Auの2層の積層構造を用いたが、電極形成後の熱処理によって、Ni/Auの電極構造は渾然一体の合金膜を形成していても良く、積層構造が維持されていても良い。渾然一体となった合金膜とは、p型ZnO系単結晶や熱処理時の雰囲気ガスと反応して、これらを一部構成要素に含む合金膜を含んでいても良い。例えば、積層構造が、何らかの要因（例えば熱処理時に加えられた熱エネルギー）によって一方拡散又は相互拡散し、積層構造としての秩序性を失っている場合も含まれる。

【0078】また、上述のように、p型ZnO単結晶上のオーミック電極材料としては、Rh/Au、Pt/Rh、Pd/Au、Pt/Au、Ni/Rh、Ni/Pt、Ni/Pd、Ni/Ir、Ir/Au、Ir/Rh、Ir/Pdの積層構造に熱処理を行ったものなども用いることができる。

【0079】また、上記の第1領域の電極材料中に、次に挙げる金属材料をドーピングすることもできる。例えば、III族化合物、V族化合物であるB、Al、Ga、In、Y、P、As、Sb、Bi、V、Nb、Taなどが挙げられる。

【0080】上記のような電極を用いた構造も、本発明の範囲に入るものとする。

【0081】さらに、反射率の高い金属材料として、AgやAlを用いることもできる。

【0082】p型ZnO系単結晶用のオーミック電極は、p型ZnO系単結晶層の上に、例えばNi/Au等の電極が接触していれば良い。

【0083】オーミック電極の形態が、例えば、層状、島状、合金など、いずれの形態を有していても良い。特に、熱処理後には、オーミック電極は、島状や合金のような形態になっている場合が多い。実際には、各電極材料の膜厚自体も正確には定義しにくくなる。

【0084】量産性等も考慮に入ると、発明者が行った実験の範囲内において最も好適なプロセス条件は、Niを200Å程度蒸着し、その後にAuを3000Å程度蒸着し、その後に熱処理を行った場合である。

【0085】必要に応じて、熱処理前又は熱処理後に、ボンディングパッド用の金属材料としてTi又はW等の金属材料を介してAuなどの金属材料を形成する構造を用いることもできる。

【0086】熱処理前に上記の金属材料（Ti/Au又はW/Au）を堆積した場合には、その後に行われる熱処理により、ボンディングパッド用の金属材料とオーミック電極材料とが相互に拡散し、さらに複雑な合金を形

成することも考えられる。

【0087】本明細書においては、p型ZnO系単結晶に接する材料（例えば上記の実施の形態におけるNi）を第1金属層と称し、その上に形成される金属材料を第2金属層と称する。

【0088】第1金属層は、それを構成する金属材料がp型ZnO系単結晶層と直接接触している。従って、オーミック電極を形成する場合において、第1金属層がオーミック特性等に最も重要な役割を果たす。

【0089】但し、上述のように、第1層目の金属材料は、実際には層状の形態を有するものに限られない。例えば、蒸着機中において第1層目の金属材料を蒸着する場合に、その予定される膜厚が薄い場合には、必ずしも金属材料が、ZnO表面の全面にわたって層状に堆積するわけではない。むしろ、金属材料がアイランド状に形成される場合が多い。

【0090】第一層目の金属材料の厚みは薄いことが重要で、仕事関数の大きな金属材料と高いホールキャリア密度のp型-ZnO層とを接触させて、トンネル的な働きでオーミック接触が形成されるものと推定している。

【0091】第1金属層として薄い金属材料を用いる場合には、実用上、第1金属層の上に、ある程度の厚みを持った第2金属層が必要となる。第2金属層を形成する金属材料がオーミック特性に与える影響は、第1金属層を形成する金属材料に比べて大きくはない。但し、実際上、上述の金属材料を用いることが好ましい。

【0092】尚、p型ZnO単結晶上に、上記の第1金属層を形成する金属材料と上記の第2金属層を形成する金属材料との合金（Ni-Au合金など）を、例えばスパッタリング法により堆積する方法も有効である。

【0093】上述の実施例では、ZnO系単結晶を成長している途中で、GaとNとの共ドーピング方法により、p型ZnO系単結晶を形成した。

【0094】その他、以下に説明する方法を用いて、p型ZnO単結晶とはほぼ同等の特性を有するp型ZnO系単結晶を形成することができる。

【0095】p型ZnO系単結晶の成長に用いた結晶成長装置は、上記のRS-MBE装置（図1）と同様の装置である。但し、図1におけるGa用ポート21中にGaの代わりにTeを入れる。Teの純度は6Nである。RS-MBE装置は、原料Te（25）を収容するとともにTeを加熱蒸発させるKセル27とシャッターS₂を備えている。MBE装置内に取り付けられたRHEEDガン51とRHEEDスクリーン55とを用いて、MBE装置A内での結晶成長の様子（成長量、成長した結晶層の質）をモニタリングしながら成長を行うことができる。

【0096】結晶成長の温度、結晶成長膜の厚さ、チャンバ内の真空度等は、制御装置Cによって適宜制御される。

【0097】以下に、ZnO基板上に、p型ZnO系単結晶層を成長する工程について説明する。

【0098】結晶成長は全てMBE法により行う。

【0099】Znのビーム量は、 1.0×10^{-7} Torrであり、Teのビーム量は 5.0×10^{-7} Torrである。

【0100】酸素ビームの供給源としては、OのRFプラズマソースが用いられる。Oラジカルポート31に純酸素（純度6N）ガスを導入し、高周波発振源を用いてラジカル化する。

【0101】窒素ビームの供給源としては、NのRFプラズマソースが用いられる。Nラジカルポート41に純窒素（純度6N）ガスを導入し、高周波発振源を用いてラジカル化する。

【0102】ガスソースである酸素、窒素のポート31、41内の圧力は、各々、酸素（流量2 sccm）が 5×10^{-5} Torr、窒素（流量0.03 sccm）が 2×10^{-5} Torrである。成長温度は600℃である。

【0103】ここで、上記の圧力の値は、基板ホルダー位置（成長位置）に取り付けたヌードイオンゲージの指示値を示したものである。

【0104】また、上記のガスソースの流量としては、sccmの単位を用いたが、これは、周知のように25℃、1気圧での流量を示したものである。

【0105】図4は、ZnO結晶を成長するための2通りの成長プロセス（（a）及び（b））を、シャッターS₁からS₄の開閉シーケンスにより示したものである。

【0106】図4（a）は、2通りの成長プロセスのうちの、第1の成長プロセスを示すものである。時間t₁に、ZnのシャッターS₁とOのシャッターS₃とを開く。Zn元素とO元素とが基板100表面上に飛来し、ZnO結晶層が成長する。Zn供給量、O供給量等の成長パラメータを制御することによりZnO結晶が分子層単位で成長する。

【0107】なお、本明細書で1分子層とは、Znの1原子層とOの1原子層とで構成される結晶単位を意味する。10分子層の結晶が成長するまでシャッターS₁、S₃を開く。

【0108】時間t₂においてOのシャッターS₃を閉じて、時間t₃までの間、Znのみを供給する。Zn供給の結果、アンドープのZnO層101a最表面にZnの終端面が形成される。過剰のZnを脱離するために、t₃からt₄までの間、全てのシャッターを閉じる。時間t₄において、TeのシャッターS₂とNのシャッターS₄を開にして、Znの終端面上にTeとNとを供給する。Zn終端面とTe、Nが結合することにより、NがドーピングされたZnTe層が1分子層成長する。

【0109】尚、時刻t₄で、ZnTe層のRHEEDパターンは、（2×1）でありTeリッチの状態を示

す。

【0110】t₅からt₆までの間、全てのシャッターを閉じ、余分の原子を脱離、排気する。その後、再びZnのシャッターS₁を開け、ZnTeの終端面の修正を行う。Teリッチになっている表面を、Znリッチの表面に変える。これにより、表面のモホロジー及び極性の改善を行う。

【0111】次に、OのシャッターS₃を開にして（t₇）、再び、ZnOを成長する。この状態は、時刻t₁の状態と同等である。以上の工程を30回繰り返す。

【0112】以上の工程を経ることにより、p型ZnO系単結晶を成長することができる。

【0113】図4（b）には、第二の成長プロセスを示す。成長プロセスの概略を以下に示す。

【0114】ZnのシャッターS₁を開き、基板上にZn元素を継続的に供給した状態にする。時間t₂でOのシャッターS₃を開き、O元素を供給して積極的に不純物ドーピングされていないZnOを成長する。

【0115】次いで、時間t₂でOのシャッターS₃を閉じてO元素の供給を停止した後、時間t₄でTeのシャッターS₂とNのシャッターS₄を開き、Te元素とN元素とを供給してNがドーピングされたZnTe層を成長する。

【0116】時間t₅からt₆までの間、シャッターS₃とS₄を閉じ、ZnTeの終端面の修正を行う。

【0117】次に、OのシャッターS₃を開にして（t₇）、再び、ZnOを成長する。この状態は、時刻t₁の状態と同等である。以上の工程を30回繰り返す。

【0118】尚、ZnOバッファ層101を設ける場合には、予め基板100上にZnとOとを供給し、所望厚のZnO層を成長した後、上記のプロセスを行う。

【0119】以上の2工程のいずれかを経た後に形成されるp型ZnO系単結晶層は、ZnOが10分子層に対してZnTeが1分子層の割合で積層されたものである。積層された超格子層のバンドギャップはZnOとほぼ同じである。ZnTeは、Nを不純物としてドーピングすることでp型の導電性を示す。NドーパのZnTe層からのNの不純物拡散およびホール移動は、ZnO層のうち10分子層にわたって生じる。

【0120】このようにして成長したZnO/ZnTe超格子層は、全体としてp型の導電層としての性質を示す。

【0121】ZnTeの厚さは1分子層にとどめた。臨界膜厚以下の厚さであり、成長層中で発生する歪を小さく抑えることができる。成長層の表面モホロジーを良好にすることができる。

【0122】ZnTeへのNの流量を、上記の成長条件において0.05 ccm以下にすると、ZnTe中への

Nのドーピング量は、 $1 \times 10^{20} \text{ cm}^{-3}$ 以下に抑えられる。

【0123】好ましくは、拡散等によりZnOにドーピングされているN濃度は、ZnTeにドーピングされているNのドーピング濃度よりも低く抑えられる。

【0124】上記のp型ZnO系単結晶層の製造技術及びp型系ZnO単結晶に対するオーミック電極の形成技術を用いて、p-n接合を有するダイオードを作成することができる。

【0125】ZnO系単結晶を用いてp-n接合を有するダイオードを形成するために、上述の工程1)から工程6)までのうち、工程4)の高温成長ノンドープZnO単結晶層を成長する工程と、5)のp型ZnO単結晶層を形成する工程との間に、n型ZnO単結晶層を形成する工程を行う。高温成長ノンドープZnO単結晶層の代わりにn型ZnO単結晶を成長しても良い。Gaボート21を用いてZnO単結晶の成長中に、n型不純物のドーパントとして用いられるGaをドーピングする。

【0126】形成されたn型ZnO単結晶層は、厚さ $1 \mu\text{m}$ である。Gaのドーピング量は、 $1 \times 10^{18} \text{ cm}^{-3}$ である。

【0127】n型ZnO単結晶層上に、p型ZnO単結晶層を形成する。

【0128】結晶成長終了後、液相エッチング法又は気相エッチング法により、p型ZnO単結晶層をエッチングして、n型ZnO単結晶層の表面を露出する。

【0129】露出されたn型ZnO単結晶層の表面上に、例えばAlなどの材料を用いて第1電極を形成する。

【0130】その後上述の6)の工程と同様の工程により、例えば、Ni/Auなどの材料を用いて第2電極を形成する。

【0131】上記の工程により、ZnO単結晶を用いたp-n接合ダイオードが形成される。

【0132】上記構造において、第1電極に対し第2電極にプラスの電圧を印加すると、p-n接合に順方向電流が流れる。p型ZnO単結晶層中に注入された少数キャリア(電子)とp型ZnO単結晶層中の多数キャリア(正孔)とが発光性再結合する。電子と正孔との再結合の際に、ほぼ禁制帯のエネルギーギャップに等しいエネルギーを有する光が発生する。すなわち、電気的エネルギーを光のエネルギーに変換する。

【0133】上記のp-n接合ダイオード構造を用いて光半導体素子を作る。

【0134】本発明の第2の実施の形態による半導体素子(光半導体素子)について説明する。

【0135】図5に、p型ZnO単結晶層とn型ZnO単結晶層とのp-n接合を用いたLED(Light Emitting Diode)の断面構造を示す。

【0136】図5に示すLEDは、サファイヤ基板30

1と、その上に低温成長された厚さ 10 nm のノンドープの低温成長ZnOバッファ層305と、その上に成長された厚さ $1 \mu\text{m}$ の高温成長ノンドープZnO単結晶層307と、その上に成長された厚さ $1 \mu\text{m}$ のn型(Gaドーピング: $1 \times 10^{18} \text{ cm}^{-3}$)高温成長ZnO単結晶層311と、その上に形成された厚さ 100 nm のNとGaとを共ドーピングした上述のp型のZnO系単結晶層315とを含む。

【0137】n型ZnO単結晶層311は、Alからなる第1電極321とコンタクトされている。

【0138】尚、n型ZnO層を形成するためには、Gaの代わりにAlなどの他の3族元素をドーピングしても良い。

【0139】共ドーピング(N, Ga)により形成されたp型ZnO系単結晶層315は島状に加工されている。

【0140】島状に加工されたp型ZnO単結晶層315は、例えば Si_3N_4 からなる絶縁膜318により被覆される。p型ZnO単結晶層315の上部表面には、例えば略円形の開口が絶縁膜318を貫通して形成される。

【0141】p型ZnO単結晶層315の上面周辺部上に、リング状の第2電極325(第1金属層325a(Ni)と第2金属層325b(Au))が形成される。リング状の第2電極は、その下面の少なくとも一部がp型ZnO層315の上部表面の周辺部と接触する。リング状の第2電極325の径方向外方の部分は、絶縁膜318上に乗り上げた構造となっている。

【0142】上記の構造において、第1電極321に対し第2電極325(325a、325b)にプラスの電圧を印加すると、p-n接合に順方向電流が流れる。p型ZnO単結晶層315中に注入された少数キャリア(電子)とp型ZnO単結晶層315中の多数キャリア(正孔)とが発光性の再結合をする。電子と正孔との再結合の際に、ZnOの禁制帯のエネルギーギャップに等しいエネルギーを有する光が開口327から出射する。出射光の波長は約 370 nm である。

【0143】図6は、本発明の第2の実施の形態による半導体素子の第1の変形例を示す断面図である。

【0144】図6(a)は、ZnO/NドープのZnTeからなる超格子をp型半導体として用い、GaドーピングのZnOをn型半導体として用いたp-n接合ダイオードを含むLED(Light Emitting Diode)の構造を示す断面図である。

【0145】図6(b)は、ZnO/ZnTeからなる超格子構造を示す断面図である。

【0146】図6(a)に示すように、LEDは、サファイヤ基板301と、その上に低温成長された厚さ 10 nm のノンドープのZnOバッファ層305と、その上に成長された厚さ $1 \mu\text{m}$ の高温成長ノンドープZnO単結晶層307と、その上に成長され厚さ $1 \mu\text{m}$ のn型

(Gaドーパ: $1 \times 10^{18} \text{ cm}^{-3}$) ZnO層311と、その上に形成された30層のZnOとZnTe(N)とが交互に積層された超格子層316(総厚として約100nm)とを含む。

【0147】図6(b)に示すように、共ドーパp型ZnO単結晶315(図5)の代わりに、p型ZnO系単結晶層として超格子層が用いられる。n型ZnO層311上にアンドープのZnO層とNドーパのZnTe層との超格子層316が用いられている。

【0148】超格子層316は、ZnO層331a、331b、...331zと、ZnTe層333a、333b、...333zとの交互積層で形成される。ZnO層331a、331b、...331Zの各々は、たとえば10分子層であり、ZnTe層333a、333b、...333zの各々は、たとえば1分子層である。

【0149】超格子層316の総厚は、たとえば100nm程度である。ZnOが10分子層に対してZnTeが1分子層の割合で積層される。積層された超格子層のバンドギャップはZnOとほぼ同じである。ZnTeは、Nを不純物としてドーピングすることでp型の導電性を示す。Nの不純物拡散およびホール移動がNドーパのZnTe層からZnO層へZnO層10分子層にわたって生じる。

【0150】p型の導電性を示すZnO/ZnTe超格子層の上に、上記第1の実施の形態によるp型ZnO単結晶用オーミック電極と同様の方法により、例えば、Ni/Auからなる電極を形成することにより、p型ZnO/ZnTe超格子層に対してオーミック接合を得ることができる。

【0151】n型ZnO層311(図6(a))は、第1電極321(A1)とコンタクトされている。

【0152】n型ZnO層を形成するためには、Gaの代わりにAlなどの他の3族元素をドーピングしても良い。

【0153】超格子層316は島状に加工されている。島状に加工された超格子層316は、例えばSiNからなる絶縁膜318によりその外側部が被覆される。絶縁膜318のうち超格子層316の上部表面には、例えば略円形の開口が形成される。島状に加工された超格子層316のうち少なくともその側面は、絶縁膜318により被覆保護される。

【0154】超格子層316の周辺部には、開口を有する例えばリング状の第2電極325(325a、325b)が形成される。リング状の第2電極は、その内周側の下面が超格子層316の上部表面の周辺部と接触する。第2電極のうちその外周部は、絶縁膜318上に乗り上げた構造となっている。

【0155】上記構造において、第1電極321に対し第2電極325にプラスの電圧を印加すると、p-n接

合に順方向電流が流れる。p型の超格子層316中に注入された少数キャリア(電子)とp型の超格子層316中の多数キャリア(正孔)とが発光性再結合する。電子と正孔との再結合の際に、ほぼ禁制帯のエネルギーギャップに等しいエネルギーを有する光が前記開口から発する。すなわち、電気的エネルギーを光のエネルギーに変換する。

【0156】図7に第2の実施の形態による半導体装置(LED)の第2の変形例を示す。

【0157】図7に示すLEDは、サファイヤ基板401と、その上に低温成長された厚さ10nmのノンドープの低温成長ZnOバッファ層405と、その上に成長された厚さ1μmの高温成長ノンドープZnO単結晶層407と、その上に成長された厚さ1μmのn型(Gaドーパ: $1 \times 10^{18} \text{ cm}^{-3}$)高温成長ZnO単結晶層411と、その上に形成された厚さ100nmのNとGaとを共ドーパしたp型ZnO系単結晶層415とを含む。

【0158】n型ZnO単結晶層411は、Alからなる第1電極421とコンタクトされている。

【0159】尚、n型ZnO層を形成するためには、Gaの代わりにAlなどの他の3族元素をドーピングしても良い。

【0160】共ドーパ(N、Ga)により形成されたp型ZnO系単結晶層415は、島状に加工されている。

【0161】島状に加工されたp型ZnO系単結晶層415は、例えばSi₃N₄からなる絶縁膜418により被覆される。p型ZnO単結晶層415の上部表面には、例えば略円形の開口が絶縁膜418を貫通して形成される。

【0162】p型ZnO系単結晶層415の表面上に、第2電極425(第1金属層425a、例えばNi、第2金属層425b、例えばAu)が形成される。第2電極425は、その下面の少なくとも一部がp型ZnO系単結晶層415の表面と接触する。リング状に形成された第2電極425(425a、425b)の径方向外方の部分は、絶縁膜418上に乗り上げた構造となっている。第2電極425(425a、425b)は、例えば、Ni/Auの電極構造を有している。

【0163】第2電極425(425a、425b)の上には、上記第2電極425(425a、425b)に形成されている開口をも覆うように反射電極427が形成されている。反射電極427は、例えばAl又はAgのような反射率の高い金属材料により形成されている。

【0164】上記の構造において、第1電極421に対し第2電極425(425a、425b)にプラスの電圧を印加すると、p-n接合に順方向電流が流れる。p型ZnO系単結晶層415中に注入された少数キャリア(電子)とp型ZnO系単結晶層415中の多数キャリア(正孔)とが発光性の再結合をする。電子と正孔との

再結合の際に、ほぼ禁制帯のエネルギーギャップに等しいエネルギーを有する光が発生する。すなわち、電氣的エネルギーを光のエネルギーに変換する。

【0165】発生した光は、サファイヤ基板401を透過する。サファイヤ基板401と逆側に射出される光は、反射電極427により反射されて、最終的にサファイヤ基板401を透過する。サファイヤ基板401を透過する光の波長は、約370nmである。

【0166】図8に、上記第2の実施の形態による半導体装置(LED)の第3の変形例を示す。

【0167】図8に示すLEDは、フリップチップタイプのLEDである。

【0168】このフリップチップタイプのLEDは、図5に示すLEDの構造と同様の構造を有している。

【0169】より詳細には、サファイヤ基板301と、その上に低温成長された厚さ10nmのノンドープの低温成長ZnOバッファ層305と、その上に成長された厚さ1μmの高温成長ノンドープZnO単結晶層307と、その上に成長された厚さ1μmのn型(Gaドープ: $1 \times 10^{18} \text{ cm}^{-3}$) 高温成長ZnO単結晶層311と、その上に形成された厚さ100nmのNとGaとを共ドープした上述のp型ZnO系単結晶層315を含む。

【0170】n型ZnO単結晶層311は、A1からなる第1電極321とコンタクトされている。

【0171】共ドープ(N, Ga)により形成されたp型ZnO系単結晶層315は島状に加工されている。

【0172】p型ZnO系単結晶層315の一部領域上に、第2電極325(325a、325b)が形成される。第2電極325(325a、325b)は、例えば、Ni/Auの電極構造を有している。サファイヤ基板301の裏面に、例えばA1やAgなどの反射率の高い金属材料よりなる反射電極331が形成されている。

【0173】上記の構造を有するLEDのサファイヤ基板301の裏面(反射電極331が形成されている側)を上にして、別途用意されているガラス基板341上に搭載する。

【0174】より詳細には、ガラス基板341上の所定の領域に、例えばTi/Auにより形成された第1及び第2の配線パターン345a、345bが形成されている。

【0175】第1の配線パターン345aは、パンプ347を介して第1電極311と電氣的に接続されている。

【0176】第2の配線パターン345bは、第2電極325(325a、325b)と直接電氣的に接続されている。

【0177】上記の構造において、第1電極321に対し第2電極325(325a、325b)にプラスの電圧が印加されるように第1及び第2の配線パターン34

5a、345b間に電圧を印加すると、p-n接合に順方向電流が流れる。p型ZnO系単結晶層315中に注入された少数キャリア(電子)とp型ZnO系単結晶層315中の多数キャリア(正孔)とが発光性の再結合をする。電子と正孔との再結合の際に、ZnOの禁制帯のエネルギーギャップに等しいエネルギーを有する光が射出し、ガラス基板341を透過する。ガラス基板341と逆側に射出される光は、反射電極331により反射されて、最終的にガラス基板341を透過する。ガラス基板341を透過する光の波長は、約370nmである。

【0178】尚、上記の本実施の形態においては、p型ZnO系単結晶層とn型ZnO単結晶層とのp-n接合を利用した半導体素子の例としてLEDについて説明したが、p型ZnO系単結晶層とn型ZnO単結晶層とを組み合わせるレーザー素子を形成することも可能である。その他、p型ZnO単結晶層と組み合わせる、FETやバイポーラトランジスタ等の電子デバイスや、他の光デバイス及びこれらを組み合わせた半導体装置を製造することも可能であることは言うまでもない。

【0179】以上、実施の形態に沿って本発明を説明したが、本発明はこれらに制限されるものではない。結晶成長の条件その他のプロセスパラメータも種々選択することができる。その他、種々の変更、改良、組み合わせ等が可能なことは当業者には自明であろう。

【0180】

【発明の効果】p型ZnO系単結晶層に対して良好なオーミック電極を有する半導体素子を形成することができる。

【0181】半導体素子を形成した場合に、動作電圧を下げることができ、低消費電力化が可能となる。オーミック電極に起因する寄生抵抗を低減できるため、半導体素子における発熱の影響を抑えることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態による半導体素子に含まれる結晶構造を成長するためのMBE装置の概略を示す断面図である。

【図2】 本発明の第1の実施の形態による半導体素子の構造を示す断面図である。

【図3】 本発明の第1の実施の形態による半導体素子の電流-電圧特性を示す図である。

【図4】 本発明の第1の実施の形態の第1変形例による半導体素子に含まれる結晶構造を成長するためのシャッターのシーケンス方法を示すタイミングチャートである。

【図5】 本発明の第2の実施の形態による半導体素子であり、上記第1の実施の形態による半導体素子をLEDに適用した構造を示す断面図である。

【図6】 本発明の第2の実施の形態による半導体素子の第1変形例による結晶構造の断面図である。図6

(a)は全体の構造を示す断面図である。図6(b)は

超格子層の構造を示す断面図である。

【図7】 本発明の第2の実施の形態の第2変形例による半導体素子をLEDに適用した構造を示す断面図である。

【図8】 本発明の第2の実施の形態の第3変形例による半導体素子をLEDに適用した構造を示す断面図である。

【符号の説明】

A RS-MBE装置

C 制御装置

P 真空ポンプ

S 基板

1 チャンバ

3 基板ホルダー

3a ヒータ

5 熱電対

7 マニピュレータ

11 Zn用ポート

15 Zn原料

17 クレーンセル

21 Oラジカルポート

31 Nラジカルポート

100 ZnO基板

101 ZnOバッファ層（低温成長ZnOバッファ層）

103 ZnO単結晶層（高温成長ZnO単結晶層）

105 n型ZnO系単結晶層

107 p型ZnO系単結晶層

108 電極

108a 第1金属層

108b 第2金属層

301 サファイヤ基板

305 ZnOバッファ層（低温成長ZnOバッファ層）

307 アンドープZnO単結晶層（高温成長ZnO単結晶層）

311 n型ZnO単結晶層（高温成長ZnO単結晶層）

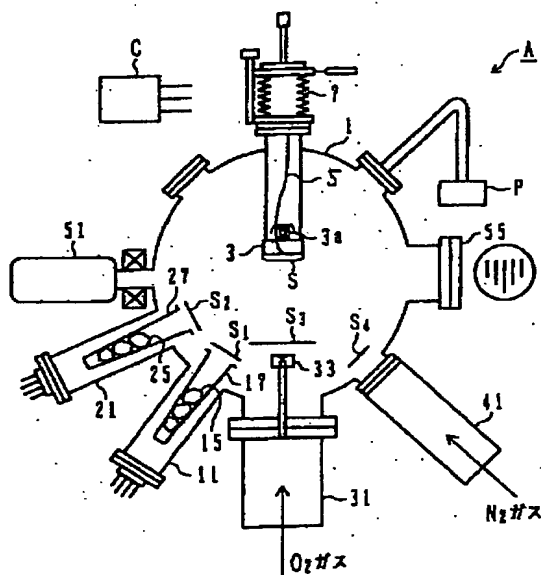
315 p型ZnO系単結晶層（高温成長ZnO単結晶層）

318 絶縁膜

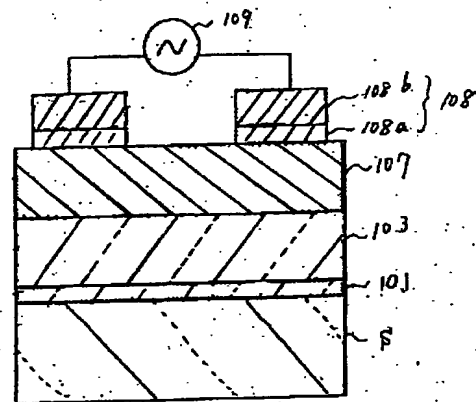
321 第1電極

325 第2電極

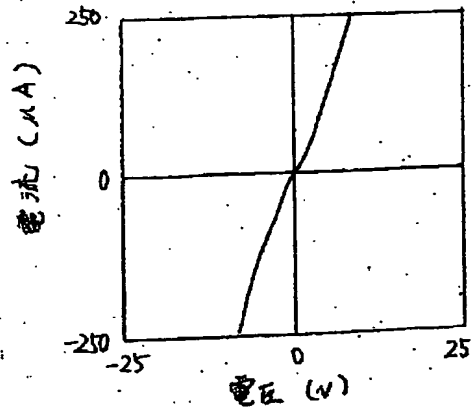
【図1】



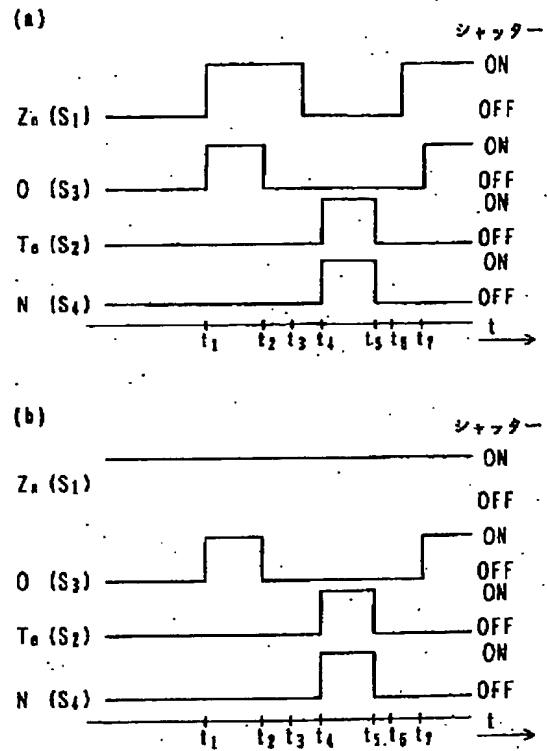
【図2】



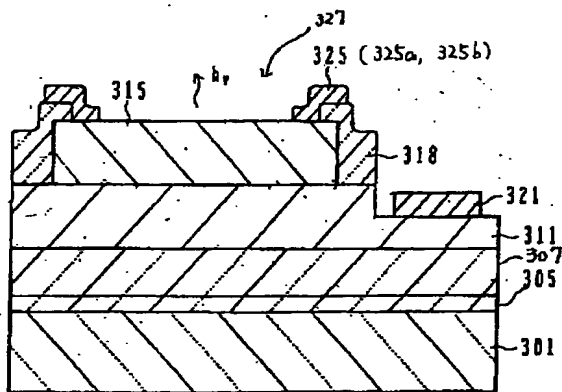
【図3】



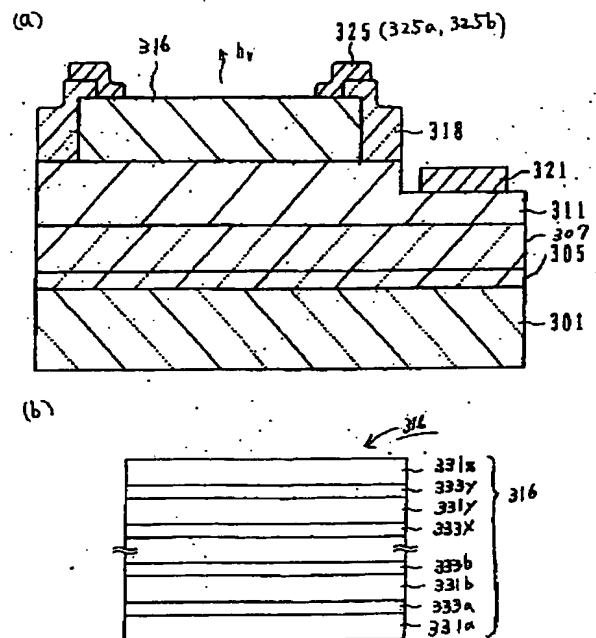
【図4】



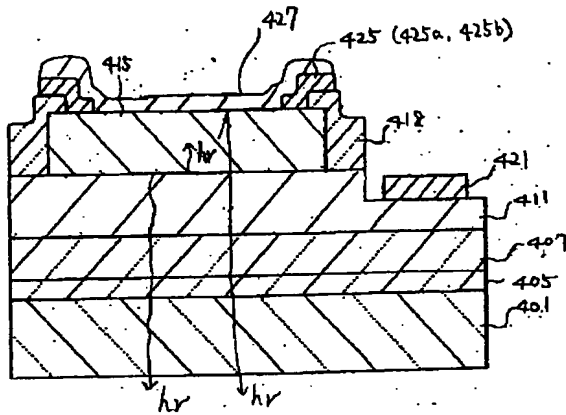
【図5】



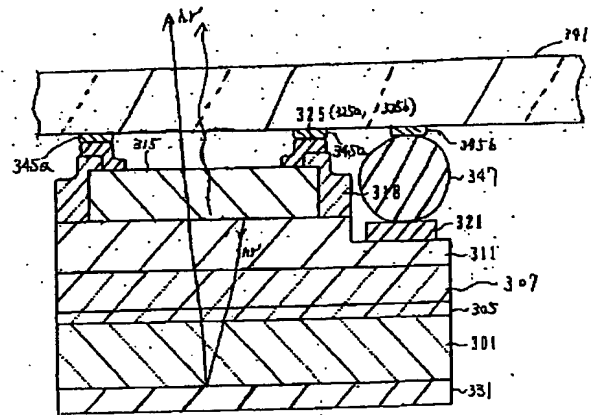
【図6】



【図7】



【図8】



【手続補正書】

【提出日】平成12年1月19日(2000. 1. 19)

【手続補正1】

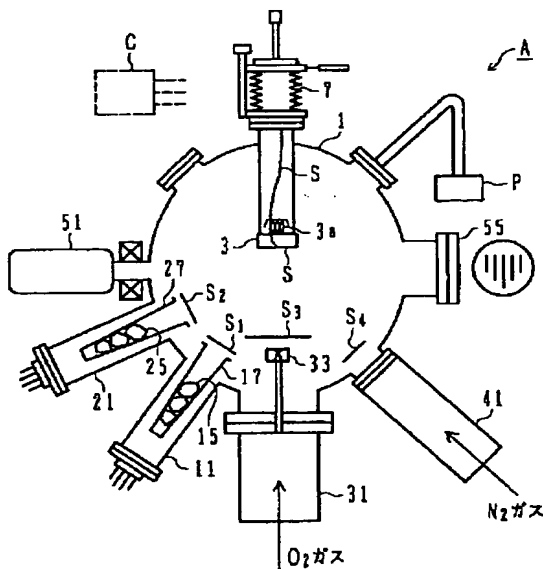
【補正対象書類名】図面

【補正対象項目名】全図

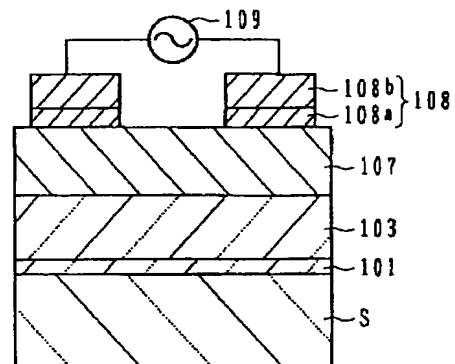
【補正方法】変更

【補正内容】

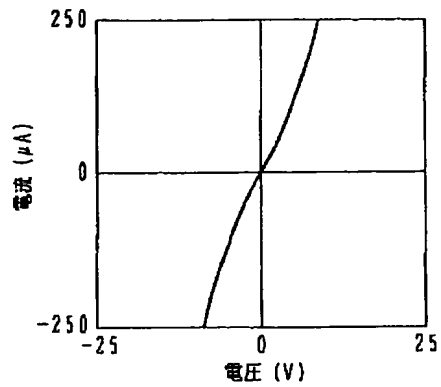
【図1】



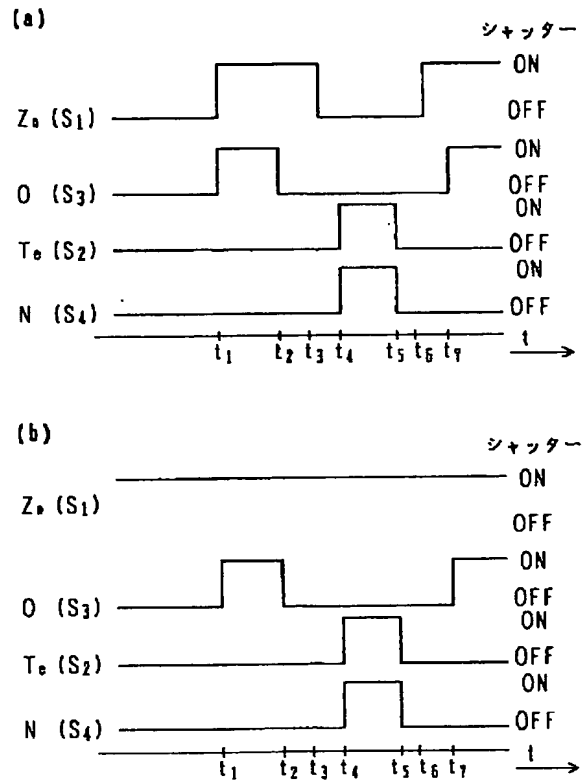
【図2】



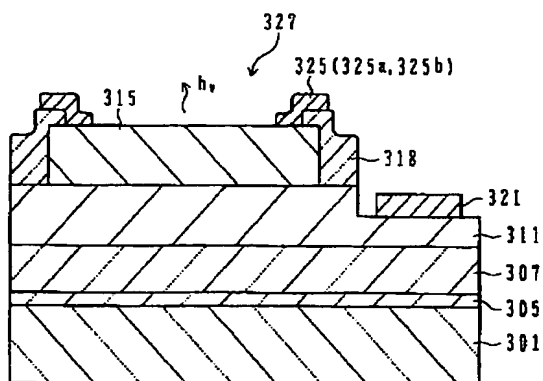
【図3】



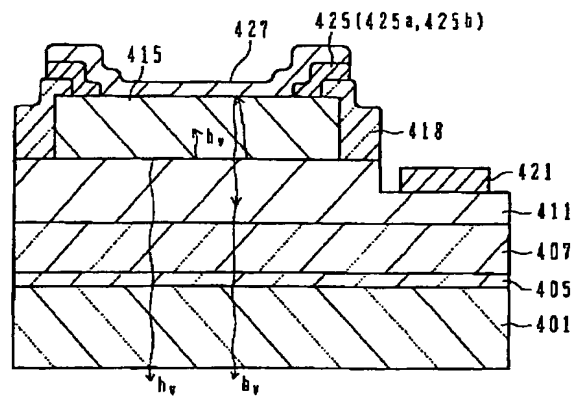
【図4】



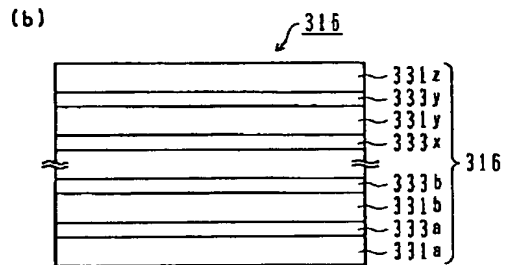
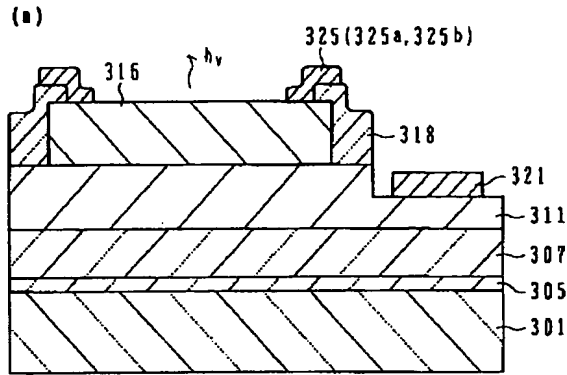
【図5】



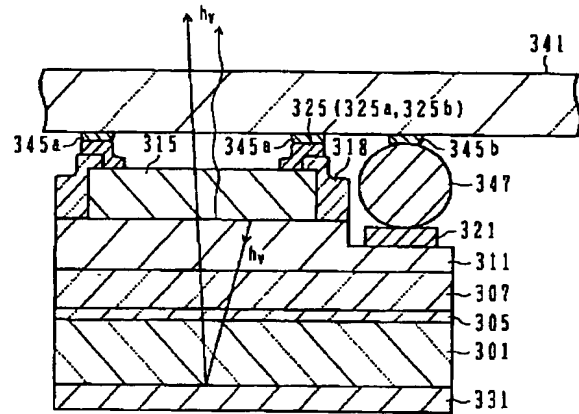
【図7】



【図6】



【図8】



フロントページの続き

(72)発明者 佐藤 弘之
神奈川県横浜市青葉区荏田西1-3-1
スタンレー電気株式会社技術研究所内
(72)発明者 森川 謙一
神奈川県横浜市青葉区荏田西1-3-1
スタンレー電気株式会社技術研究所内

Fターム(参考) 4M104 AA06 BB02 BB04 BB05 BB06
BB07 BB09 BB39 CC01 DD34
DD37 DD79 DD80 FF13 GG04
GG05 HH15
5F041 AA21 CA05 CA41 CA46 CA55
CA57 CA66 CA83 CA92 CA98
5F103 AA01 AA04 BB07 BB08 DD28
DD30 HH04 KK03 KK10 LL02
PP12 PP13 RR05

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

- [Claim 1] The semiconductor device containing a p mold ZnO system single crystal layer, the 1st metal layer containing at least one sort which contacted said p mold ZnO system single crystal layer, and was chosen from the group of nickel, Rh, Pt, Pd, and these alloys, and a metal which is formed on said 1st metal layer and is different from said 1st metal layer or the 2nd metal layer containing those alloys.
- [Claim 2] A p mold ZnO system single crystal layer and the 1st metal layer in which said p mold ZnO system single crystal layer is contacted, and a work function contains an about 5.0eV metal, The 2nd metal layer which consists of an alloy containing one sort of a different metal from the metal which is formed on said 1st metal layer, and a work function is about 5.0eV and forms said 1st metal layer, or these metals, The semiconductor device containing the surface metal layer which it is formed on said 2nd metal layer, and the work function becomes from a metal lower than the work function of said 1st metal layer.
- [Claim 3] Said surface metal layer is a semiconductor device according to claim 2 which has a reflection factor higher than said 2nd metal layer.
- [Claim 4] Said surface metal layer is a semiconductor device containing the alloy containing the alloy containing Ag or Ag, aluminum, or aluminum according to claim 2.
- [Claim 5] For an about 5.0eV metal, said work function is a semiconductor device given in either to claims 2-4 containing the compound containing the elements with which it is chosen from among nickel, Au, C, and Pd, or these elements, or an alloy.
- [Claim 6] For thickness, said 1st metal layer is a semiconductor device given in either to stratified or claims 1-5 whose height is the fields of the shape of an island 50nm or less 50nm or less.
- [Claim 7] A semiconductor device given in either to claims 1-6 said whose 1st metal layers are nickel and said whose 2nd metal layers are Au.
- [Claim 8] A semiconductor device given in either to claims 1-7 said whose 1st metal layers and said 2nd metal layers are in a *** condition.
- [Claim 9] Said p mold ZnO system single crystal is a semiconductor device given in either to claims 1-8 by which a ZnO layer and a ZnTe layer are the laminated structures by which the laminating was carried out by turns, and N is doped by said ZnTe layer at least.
- [Claim 10] Said p mold ZnO system single crystal is a semiconductor device given in either to claims 1-8 by which ** doping of p mold impurity and the n mold impurity is carried out.
- [Claim 11] It is the semiconductor device according to claim 10 said whose p mold impurity is N and said whose n mold impurity is Ga.
- [Claim 12] The process which forms the 1st metal layer containing at least one sort chosen from the group of nickel, Rh, Pt, Pd, and these alloys on the process for which the p mold ZnO system single crystal layer to which the front face was exposed is prepared, and the front face of said p mold ZnO system single crystal layer, The manufacture approach of a semiconductor device including the process which forms a different metal from said 1st metal layer, or the 2nd metal layer containing those alloys on said 1st metal layer.
- [Claim 13] The process for which the p mold ZnO system single crystal layer to which the front face was exposed is prepared, and the process which forms the 1st metal layer in which a work function contains an about 5.0eV metal on the front face of said p mold ZnO system single crystal layer, The manufacture approach of a semiconductor device including the process which forms the 2nd metal layer which a work function is about 5.0eV and consists of an alloy containing different metals from the metal which a work function is a metal lower than the work function of said 1st metal layer, and forms said 1st metal layer, or these metals on said 1st metal layer.
- [Claim 14] The manufacture approach of a semiconductor device including the process which heat-treats after the process which forms said 1st and 2nd metal layer according to claim 12 or 13.
- [Claim 15] A substrate, the ZnO system buffer layer formed on said substrate, and the 1st semi-conductor layer containing the 1st conductivity type or 2nd conductivity-type ZnO system single crystal layer formed on said ZnO system buffer layer, The 2nd semi-conductor layer which is formed on said 1st conductivity type or a 2nd conductivity-type ZnO system single crystal layer, and has said 1st conductivity type or a conductivity type contrary to a 2nd conductivity-type ZnO system single crystal layer, The 1st metal layer containing at least one sort which contacted the semi-conductor layer of p mold among said 1st semi-conductor layer or said 2nd semi-conductor layer, and was chosen from the group of nickel, Rh, Pt, Pd, and these alloys, The semiconductor device containing a metal which is formed on said 1st metal layer and is different from said 1st metal layer, or the 2nd metal layer containing those alloys.
- [Claim 16] A substrate, the ZnO system buffer layer formed on said substrate, and the 1st semi-conductor layer containing either the 1st conductivity type formed on said ZnO system buffer layer, or a 2nd conductivity-type ZnO system single crystal layer, It is formed on said 1st conductivity type or a 2nd conductivity-type ZnO system single crystal layer, and the 2nd semi-conductor layer which has said 1st conductivity type or a conductivity type contrary to a 2nd conductivity-type ZnO system single crystal layer is included. The 1st metal layer in which the semi-conductor layer of p mold is contacted among said 1st semi-conductor layer or said 2nd semi-conductor layer, and a work function contains an about 5.0eV metal, The 2nd metal layer which consists of a kind of the alloy containing different metals from the metal which is formed on said 1st metal layer, and a work function is about 5.0eV and forms said 1st metal layer, or these metals, The semiconductor device containing the surface metal layer which it is formed on said 2nd metal layer, and a work function becomes from a metal lower than the work function of said 1st metal layer.
- [Claim 17] A substrate, the ZnO system buffer layer formed on said substrate, and the n mold ZnO system single crystal layer formed on said ZnO system buffer layer, The p mold ZnO system single crystal layer formed on said n mold ZnO system single crystal layer, The 1st electrode in contact with said n mold ZnO system single crystal layer, and the 1st metal layer containing at least one sort which contacted said p mold ZnO system single crystal layer, and was chosen from the group of nickel, Rh, Pt, Pd, and these alloys, a metal which is formed on said 1st metal layer and is different from said 1st metal layer or the 2nd electrode containing the 2nd metal

layer containing those alloys, and said 1st electrode — and — or the OPTO semiconductor device containing opening formed in said 2nd electrode.

[Claim 18] A substrate, the ZnO system buffer layer formed on said substrate, and the n mold ZnO system single crystal layer formed on said ZnO system buffer layer, The p mold ZnO system single crystal layer formed on said n mold ZnO system single crystal layer, The 1st electrode in contact with said n mold ZnO system single crystal layer, and the 1st metal layer in which said p mold ZnO system single crystal layer is contacted, and a work function contains an about 5.0eV metal, The 2nd metal layer which consists of an alloy containing different metals from the metal which is formed on said 1st metal layer, and a work function is about 5.0eV and forms said 1st metal layer, or these metals, The OPTO semiconductor device containing opening which was formed on said 2nd metal layer and formed in the 2nd electrode containing the surface metal layer which a work function becomes from a metal lower than the work function of said 1st metal layer, and said 1st electrode and said 2nd electrode.

[Claim 19] Said substrate is an OPTO semiconductor device according to claim 17 or 18 with which it is a transparence substrate and the reflector which reflects in said substrate side the light by which outgoing radiation is carried out from said opening is prepared on said opening.

[Claim 20] Furthermore, the OPTO semiconductor device according to claim 17 or 18 with which the 2nd transparence substrate with which the 1st wiring section which contacts said 1st electrode and said 2nd electrode electrically, respectively, and the 2nd wiring section were formed in the front-face side of said substrate while the reflective section which reflects in the rear-face side of said substrate the light which progresses towards said substrate was prepared is arranged.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] this invention — the semiconductor device of a ZnO system — being related — more — a detail — a p form ZnO system single crystal — receiving — low — it is related with a semiconductor device including the electrode structure where ohmic contact [****] is acquired, and its manufacture approach.

[0002]

[Description of the Prior Art] As for the ZnO crystal which is a kind of an II-VI group compound semiconductor, the application to OPTO semiconductor devices, such as a light emitting device and a photo detector, is expected. Since a ZnO crystal is a semiconductor which has a large band gap ($E_g=3.4\text{eV}$), the luminescence wavelength corresponding to a band gap serves as 360 to 400nm ultraviolet radiation.

[0003]

[Problem(s) to be Solved by the Invention] By the way, ZnO has the property called a unipolar. Although it was comparatively easy to realize a n-type semiconductor (n-ZnO) using ZnO, it was difficult to realize a p type semiconductor (p-ZnO).

[0004] Therefore, it was difficult to form p-n junction using ZnO, and it difficult to realize the semiconductor device of a ZnO system, especially the OPTO semiconductor device which has p-n junction.

[0005] The report of the purport from which the p mold ZnO crystal was obtained is made by using into ZnO the technique which carries out the ** dope (co-dope) of the nitrogen (N) which is p mold impurity, and the gallium (Ga) which is n mold impurity recently. The method of more specifically growing up a p mold ZnO single crystal by the pulse laser deposition method, carrying out the ** dope (co-dope) of the nitrogen (N) which is p mold impurity, and the gallium (Ga) which is n mold impurity into ZnO is used.

[0006] By the way, as an ohmic electrode to an n mold ZnO crystal, although aluminum was generally used, there was no knowledge about the ohmic electrode which fitted the p mold ZnO crystal from the above situations.

[0007] This invention aims at offering the semiconductor device which has the ohmic electrode structure of having been suitable for the p mold ZnO system crystal, and its manufacture approach.

[0008]

[Means for Solving the Problem] According to one viewpoint of this invention, the semiconductor device containing a p mold ZnO system single crystal layer, the 1st metal layer containing at least one sort which contacted said p mold ZnO system single crystal layer, and was chosen from the group of nickel, Rh, Pt, Pd, and these alloys, and a metal which is formed on said 1st metal layer and is different from said 1st metal layer or the 2nd metal layer containing those alloys is offered.

[0009] The process for which the p mold ZnO system single crystal layer to which the front face was exposed is prepared according to other viewpoints of this invention, The process which forms the 1st metal layer containing at least one sort chosen from the group of nickel, Rh, Pt, Pd, and these alloys on the front face of said p mold ZnO system single crystal layer, The manufacture approach of a semiconductor device including a different metal from said 1st metal layer on said 1st metal layer or the 2nd metal layer containing those alloys, and the process to form is offered.

[0010] The ZnO system buffer layer which was formed on the substrate and said substrate according to other viewpoints of this invention, The 1st semi-conductor layer containing either the 1st conductivity type formed on said ZnO system buffer layer, or a 2nd conductivity-type ZnO system single crystal layer, It is formed on said 1st conductivity type or a 2nd conductivity-type ZnO system single crystal layer, and the 2nd semi-conductor layer which has said 1st conductivity type or a conductivity type contrary to a 2nd conductivity-type ZnO system single crystal layer is included. The 1st metal layer containing at least one sort which contacted the semi-conductor layer of p mold among said 1st semi-conductor layer or said 2nd semi-conductor layer, and was chosen from the group of nickel, Rh, Pt, Pd, and these alloys, It is formed on said 1st metal layer, and the semiconductor device containing a different metal from said 1st metal layer or the 2nd metal layer containing those alloys is offered.

[0011]

[Embodiment of the Invention] Hereafter, the vocabulary with the p mold ZnO system single crystal used in this specification shall also contain the semi-conductor single crystal layer which has the same large band gap as ZnO including ZnO as a major component not only like a p mold ZnO single crystal but like the superstructure of ZnO and ZnTe.

[0012] Moreover, "the growth temperature of the low-temperature growth ZnO" defined in this specification is the temperature lower about 400 degrees C than temperature with a crystal growth [for generally growing up a ZnO single crystal] of 200 to about 600 degrees C from 100 degrees C. "The growth temperature of an elevated-temperature growth single crystal ZnO layer" is the growth temperature for which it was suitable when growing up a ZnO single crystal generally, and is temperature [higher than the above-mentioned "growth temperature of the low-temperature growth ZnO" and] lower than 800 degrees C, for example, is 650 degrees C.

[0013] The artificer performed examination about the electrode for p mold ZnO semiconducting crystals first.

[0014] When joining a metal (electrode) and a semi-conductor, the barrier height eV_d seen from the semi-conductor side is expressed with $eV_d = \phi_m - \phi_s$. Here, V_d is [a metaled (electrode) work function and ϕ_s of the diffusion potential of a semi-conductor layer and ϕ_m] the work functions of a semi-conductor.

[0015] When a p type semiconductor and a metal are contacted, the conditions from which good ohmic junction is acquired are expressed with $\phi_m > \phi_s$ (p).

[0016] By the way, work function ϕ_s [of a p mold ZnO semiconducting crystal] s (p) is as large as about 6.25eV (when an intrinsic semiconductor is assumed). In addition, if the amount of dopes of p mold impurity is assumed to be 10^{18}cm^{-3} , it will become about

phis7.9eV of work functions. Therefore, as an ohmic electrode material for p mold ZnO system single crystals, it is considered to be desirable also from a viewpoint of reducing the contact resistance between metal-semi-conductors to choose the comparatively large metal of a work function (phim).

[0017] As an ohmic electrode material for p mold ZnO system single crystals, specifically nickel (phim=5.15), germanium (phim=5.0), Se (phim=5.9), Rh (phim=4.98), Te (phim=4.95), Re (phim=4.96). Since ingredients, such as Ir (phim=5.27), Pt (phim=5.65), Au (phim=5.1), C (phim=5.0), and Pd (phim=5.12), have the comparatively large work function, it is thought that it is desirable.

[0018] In addition, in this specification, work functions are within the limits from 4.5 to 6.0, and the publication "a work function is about 5.0eV" means preferably that work functions are within the limits from 4.9 to 5.2.

[0019] According to the theoretical consideration and the experimental result by the artificer, especially the laminated structure of nickel (1st layer: metal which contacts p mold ZnO crystal and directly)/Au (two-layer eye: metal deposited on the metal of the 1st layer) is desirable.

[0020] It turned out that what heat-treated to the laminated structure of Rh/Au, Pt/Rh, Pd/Au, Pt/Au, nickel/Rh, nickel/Pt, nickel/Pd, nickel/Ir, Ir/Au, Ir/Rh, and Ir/Pd other than the structure which heat-treated to the laminated structure of Ti/Au is promising.

[0021] Based on the above knowledge, the semiconductor device which has the above electrode structures as an ohmic electrode to a p mold ZnO system single crystal is explained below.

[0022] The semiconductor device by the gestalt of operation of the 1st of this invention is explained with reference to a drawing.

[0023] as an example of the growth equipment for growing up the ZnO system crystal structure which constitutes a semiconductor device to be drawing 1 — radical source molecular beam epitaxy (RS-MBE) — the structure of the crystal growth equipment (henceforth "RS-MBE equipment") using law is shown.

[0024] RS-MBE equipment A contains the chamber 1 to which crystal growth is performed, and vacuum pump P which maintains a chamber 1 at an ultra-high-vacuum condition.

[0025] A chamber 1 includes the port 11 for Zn for evaporating Zn, the port 21 for Ga for evaporating Ga, O radical port 31 for irradiating O radical, and N radical port 41 for irradiating N radical.

[0026] The port 11 for Zn is equipped with heating, and Knudsen cell (Knudsen cell: call it K cel below.) 17 and shutter S1 to evaporate while it holds the Zn (purity of 7Ns) raw material 15.

[0027] O radical port 31 equipped with the K cel 27 heated and evaporated while the port 21 for Ga holds the Ga raw material 25, and a shutter S2 introduces the oxygen gas which is material gas in an electrodeless discharge lamp, and O radical generated using high frequency (13.56MHz) is spouted in the MBE chamber 1. The orifice 33 and the shutter S3 are formed to the beam of O radical.

[0028] N radical port 41 introduces the nitrogen gas which is material gas in an electrodeless discharge lamp, and spouts N radical generated using high frequency (13.56MHz) in the MBE chamber 1. Shutter S4 is prepared to the beam of N radical.

[0029] The structure of the radical ports 31 and 41 is the structure where the induction coil is wound around the outside of the discharge tube prepared within outside shielding.

[0030] In the chamber 1, the substrate electrode holder 3 holding the sapphire substrate S used as the substrate of crystal growth and heater 3a for heating the substrate electrode holder 3 are prepared.

[0031] The temperature of the sapphire substrate S is indirectly measurable by the thermocouple 5 installed in the heater. The location of the substrate electrode holder 3 is movable by the manipulator 7 which used bellows.

[0032] A chamber 1 contains the gun 51 of a reflection electron line DI contact sense non-isolated (RHEED equipment) established in order to carry out monitoring of the grown-up crystal layer, and the screen 55 of RHEED equipment. It can grow up using the gun 51 of RHEED equipment, and the screen 55 of RHEED equipment, carrying out monitoring of the situation (an amount of growth, grown-up quality of a crystal layer) of the crystal growth within MBE equipment A.

[0033] The temperature of crystal growth, the thickness of the crystal growth film, the degree of vacuum in a chamber, etc. are suitably controlled by the control unit C.

[0034] Below, ZnO is explained on the sapphire substrate S at a detail about the process which grows.

[0035] Crystal growth is performed by opening and closing from the shutter S1 to S4 suitably by the RS-MBE method.

[0036] If it considers as the approach of generating the radical source, the RF-MBE method using RF is used. O radical is generated using 13.56MHz high frequency by introducing O₂ which is material gas in an electrodeless discharge lamp. By making O radical blow off in the MBE chamber 1 of a high vacuum condition, it becomes O radical beam. A ZnO thin film is grown up by irradiating O radical beam and Zn beam from K cel on the sapphire substrate S at coincidence.

[0037] Drawing 2 is the sectional view showing the structure of the semiconductor device by the gestalt of this operation.

[0038] The process for forming in below the semiconductor device shown in drawing 2 is explained.

[0039] 1) Surface treatment: (0001) Wet etching of the sapphire substrate S front face which has a field was carried out for 60 minutes in the solution of H₃PO₄:H₂SO₄ = 1:3 heated at 110 degrees C.

[0040] After performing the above-mentioned surface treatment, the substrate electrode holder 3 (drawing 1) was equipped with the sapphire substrate S.

[0041] The substrate temperature of 600 degrees C and the flow rate of oxygen were set to 2sccm(s), RF power was set in MBE equipment under the conditions of 150W, and surface treatment by the oxygen plasma was performed for 1 hour. A sapphire substrate S front face is defecated by processing the front face of the sapphire substrate S in MBE equipment.

[0042] 2) Low-temperature growth ZnO buffer layer growth: A buffer layer 101 is first grown up after the above-mentioned substrate surface preparation. Unlike the growth conditions of the usual single crystal ZnO substrate, growth under low temperature and Zn Rich's conditions is performed (low-temperature growth ZnO layer). The amount of beams of Zn is 4.0x10⁻⁷Torr.

[0043] RF plasma source of O is used as a source of supply of an oxygen beam. Pure oxygen (purity of 6Ns) gas is introduced into O radical port 21, and it radical-izes using the source of a high frequency oscillation.

[0044] In flow rate 2.0sccm, 5x10⁻⁵Torr and RF power of the flow rate of the oxygen which is the gas source are 300W as a partial pressure of the oxygen in a chamber. Growth temperature was performed at 500 degrees C. In addition, it is desirable to perform growth between 200 degrees C and 600 degrees C.

[0045] Thickness of the ZnO buffer layer 101 was set to 10nm. In addition, the range of thickness of 10 to 100nm is desirable.

[0046] Here, the value of the above-mentioned pressure shows the indicated value of the nude ion gage attached in the substrate electrode-holder location (growth location).

[0047] 3) Flattening processing: After growing up the low-temperature growth ZnO buffer layer 101, flattening processing of the front face of the ZnO buffer layer 101 was performed. Heat treatment for 10 minutes was performed in an elevated temperature into which a single crystal is grown up as flattening processing, for example, 600 degrees C. In addition, heat treatment time amount is chosen from

the time amount for 60 minutes after for 2 minutes.

[0048] The low-temperature growth ZnO buffer layer 101 which finished growth at low growth temperature is the single crystal which has a grain boundary, and is considered to grow epitaxially so that the anisotropy with each same grain may be shown. It mainly originates in the grain boundary between the grain, and irregularity is observed. It is thought that the single crystal of each grain carries out solid phase growth, grain size is enlarged and flattening of the front face is carried out by performing the above-mentioned heat treatment to the low-temperature growth ZnO buffer layer 101.

[0049] Since the original surface irregularity is small compared with the case where it is made to grow up on condition that oxygen Rich when it is made to grow up especially on condition that Zn Rich, the flat front face which was excellent with flattening processing is easy to be obtained. If a ZnO layer is grown up at an elevated temperature on the low-temperature growth ZnO buffer layer which has the outstanding flat-surface front face, a good crystalline single crystal ZnO layer will be easy to be obtained.

[0050] In the condition [having grown up (as-grown)], since grain size is small and a grain boundary is observed, the low-temperature growth ZnO buffer layer 101 looks also like polycrystal by observation (AtomicForceMicroscopy:AFM). However, when analysis by the X diffraction or the RHEED method is performed, the property of a single crystal is shown.

[0051] This phenomenon is observed in growth by GaN or ZnO. By carrying out elevated-temperature heat treatment of the low-temperature growth ZnO buffer layer 101, it grows up like the case where the irregularity resulting from a grain boundary etc. is solid phase growth, and it is thought that a front face carries out flattening. Even if it is going to grow up a single crystal ZnO on the ZnO front face which is not flat, the crystallinity does not become good on experience.

[0052] 4) Growth of an undoping ZnO single crystal layer: On the low-temperature growth ZnO buffer layer 101 which subsequently carried out flattening, the single crystal (elevated-temperature growth ZnO single crystal layer) 103 of ZnO of undoping was grown up. Thickness is 1 micrometer.

[0053] As growth conditions, substrate temperature is 600 degrees C. The temperature of K cel is 320 degrees C. The vapor rate of Zn in this case is 1.6A/second.

[0054] The flow rate of oxygen is 2.0sccm. In this case, the partial pressure of oxygen is 5×10^{-5} Torr. RF power is 300W.

[0055] In addition, as growth conditions for the elevated-temperature growth ZnO single crystal layer 103, it is the temperature between 600 degrees C and 800 degrees C, and about 1 micrometer grows.

[0056] After forming the low-temperature growth ZnO buffer layer 101 and performing flattening processing of the front face, the crystallinity of the ZnO single crystal layer 103 of undoping improved by growing up the ZnO single crystal layer 103 of elevated-temperature growth undoping at high growth temperature on it.

[0057] When many crystal defects are introduced during a ZnO crystal, the conductivity of powerful n mold is shown also in the condition of not introducing an impurity. The elevated-temperature growth undoping ZnO single crystal layer 103 which grew using the above-mentioned crystal growth method has very few crystal defects. In the ZnO single crystal which grew by the conventional crystal growth approach, it also becomes possible to realize ZnO which shows the conductivity of difficult p mold. Since a crystal defect which forms the pin center, large non-emitting light is reduced sharply, it is thought that luminous efficiency also became very high.

[0058] 5) Growth of a p mold ZnO single crystal layer: Next, the p mold ZnO single crystal layer 107 was grown up.

[0059] The growth conditions of the p mold ZnO single crystal layer 107 are the same as the growth conditions of the above-mentioned undoping ZnO single crystal layer 103 almost.

[0060] However, crystal growth was performed at 550 degrees C. In addition, as growth temperature, the range of 500 to 700 degrees C is desirable.

[0061] In addition to Ga which is a dopant for the n molds ZnO, as a dopant, N was usually used. K cel temperature of Ga is 600 degrees C. In ZnO crystal growth, N plasma was introduced in the chamber and N was doped. The flow rates of N₂ gas at the time of generating N plasma are 0.1sccm(s) and RF power 300W. Thickness is 1 micrometer.

[0062] Evaluation by hole measurement was performed about the grown-up p mold ZnO single crystal 107. It was checked that the conductivity of p mold is actually shown. Resistivity is 1.78-ohmcm. p mold high impurity concentration is $5.47 \times 10^{17} \text{cm}^{-3}$.

[0063] By optimizing crystal growth conditions, it is expected that the p mold ZnO single crystal layer of higher high impurity concentration, for example, about [10^{19}cm^{-3}] three high impurity concentration, is obtained.

[0064] 6) Formation of an ohmic electrode: Subsequently to the p mold ZnO single crystal layer 107 top, the process which forms an electrode is explained.

[0065] First, after growing up to the pZnO single crystal layer 107, the sapphire substrate S is taken out from the MBE chamber 1 (drawing 1). After forming the mask pattern for vacuum evaporatio, the sapphire substrate S is attached in vacuum evaporatio equipment.

[0066] nickel is vapor-deposited by the thickness of 70A as 1st metal layer 108a on a p mold ZnO single crystal in vacuum evaporatio equipment. Subsequently, 3500A of Au(s) is formed as 2nd metal layer 108b. Two or more nickel/Au electrodes 108 are formed in the location which only predetermined distance left.

[0067] The substrate with which the nickel/Au electrode 108 was formed was taken out from the inside of vacuum evaporatio equipment, and the substrate was heat-treated with lamp heating in nitrogen-gas-atmosphere mind. Heating temperature is 500 degrees C and heating time is 20 seconds.

[0068] In addition, it is also possible to use an ingredient independent as the above-mentioned electrode material, for example, Au.

[0069] When heat-treating, heating conditions can be performed in 200 to 600 degrees C. The range of 300 to 500 degrees C is suitable. It is desirable to perform heat treatment under the ambient atmosphere of inert gas, such as nitrogen (N₂) and an argon (Ar).

[0070] In addition, since ZnO is used as the crystal ingredient, it is also possible to heat-treat under [, such as inside of atmospheric air and the bottom of an oxygen gas ambient atmosphere,] existence of oxygen gas. If it heat-treats under existence of oxygen gas, dissociation of the oxygen from a ZnO crystal can be prevented.

[0071] The heating time in the case of heat-treating is from 1 second before 10 minutes. It is desirable for 1 second to 3 minutes that it is less than 1 minute preferably practical.

[0072] The result of having evaluated the electrical characteristics of the nickel/Au electrode 108 formed on the p mold ZnO crystal layer 107 formed in drawing 3 of the above-mentioned process using the measuring instrument 109 (drawing 2) is shown.

[0073] The size of a sapphire substrate is about 10mmx12mm. On this sapphire substrate, two or more nickel/Au electrodes 108 (drawing 2) which aligned in the lengthwise direction and the longitudinal direction in 5mm pitch were formed.

[0074] The size of each electrode is phi0.1mm. The inter-electrode current-voltage characteristic was evaluated among these electrodes using the electrode of a pair. Drawing 3 shows the current-voltage characteristic acquired at this time. The ohmic property almost linear as a result was acquired.

[0075] Moreover, the value of the contact resistance surveyed at this time is about abbreviation 3.3kohm. The called-for contact resistivity is abbreviation $1 \times 10^{-2} \text{ohmcm}^2$.

[0076] As mentioned above, if p mold high impurity concentration is made high by optimizing the growth conditions of the p mold ZnO single crystal layer 107, the sheet resistance of the p mold ZnO single crystal layer 107 will become still lower. In addition, the contact resistance between the p mold ZnO single crystal layer 107 and the nickel/Au electrode 108 is reduced further.

[0077] Although it set to the semiconductor device by the gestalt of operation of the 1st of above-mentioned this invention and the two-layer laminated structure of nickel/Au was used as an ohmic electrode for p mold ZnO single crystals, by heat treatment after electrode formation, the electrode structure of nickel/Au may form the alloy film of **** one, and the laminated structure may be maintained. With the alloy film which harmonized completely, it may react with a p mold ZnO system single crystal and the controlled atmosphere at the time of heat treatment, and the alloy film which contains a part of these in a component may be included. For example, counter diffusion is carried out, and a laminated structure is contained by a certain factor (for example, heat energy added at the time of heat treatment), homogeneous diffusion or also when the order nature as a laminated structure is lost.

[0078] Moreover, as an ohmic electrode material on a p mold ZnO single crystal, Rh/Au, Pt/Rh, Pd/Au, Pt/Au, nickel/Rh, nickel/Pt, nickel/Pd, nickel/Ir, Ir/Au, Ir/Rh, the thing that heat-treated to the laminated structure of Ir/Pd can be used as mentioned above.

[0079] Moreover, the metallic material listed into the electrode material of the 1st above-mentioned field at a degree can also be doped. For example, B, aluminum, Ga, In, Y, P, As, Sb, Bi, V, Nb, Ta, etc. which are an III group compound and V group compound are mentioned.

[0080] The structure using the above electrodes shall also go into the range of this invention.

[0081] Furthermore, Ag and aluminum can also be used as a metallic material with a high reflection factor.

[0082] As for the ohmic electrode for p mold ZnO system single crystals, electrodes, such as nickel/Au, should just touch on a p mold ZnO system single crystal layer.

[0083] The gestalt of an ohmic electrode may have which gestalten, such as the shape of stratified and an island, and an alloy. Especially, after heat treatment, the ohmic electrode is the shape of an island, and a gestalt like an alloy in many cases. In fact, it is hard coming to give a definition the thickness of each electrode material itself correctly.

[0084] When mass-production nature etc. is taken into consideration, it is the case where the most suitable process conditions vapor-deposited about 200A of nickel, vapor-deposited about 3000A of Au(s) after that within the limits of the experiment which the artificer conducted, and it heat-treats after that.

[0085] A heat treatment front stirrup can also use the structure which forms metallic materials, such as Au, through metallic materials, such as Ti or W, after heat treatment as a metallic material for bonding pads if needed.

[0086] When the above-mentioned metallic material (Ti/Au or W/Au) is deposited before heat treatment, it is also considered that the metallic material and ohmic electrode material for bonding pads are spread mutually, and form a still more complicated alloy by heat treatment performed after that.

[0087] In this specification, the ingredient (for example, nickel in the gestalt of the above-mentioned operation) which touches a p mold ZnO system single crystal is called the 1st metal layer, and the metallic material formed on it is called the 2nd metal layer.

[0088] The metallic material with which the 1st metal layer constitutes it touches a p mold ZnO system single crystal layer and directly. Therefore, when forming an ohmic electrode, the 1st metal layer plays the role most important for an ohmic property etc.

[0089] However, the metallic material of the 1st layer is not restricted to what has a layer-like gestalt in fact as mentioned above. For example, when vapor-depositing the metallic material of the 1st layer in a vacuum evaporatono in a plane, and the thickness planned is thin, a metallic material does not necessarily accumulate in the shape of a layer over the whole surface on the front face of ZnO. Rather, a metallic material is formed in the shape of an island in many cases.

[0090] A thin thing is important for the thickness of the metallic material of a first pass eye, and it contacted the big metallic material of a work function, and the p mold-ZnO layer of a high hole carrier consistency, and is presumed to be that in which ohmic contact is formed by the work like a tunnel.

[0091] In using a metallic material thin as the 1st metal layer, the 2nd metal layer which had a certain amount of thickness on the 1st metal layer practically is needed. The effect which it has on an ohmic property does not have the large metallic material which forms the 2nd metal layer compared with the metallic material which forms the 1st metal layer. However, it is desirable to use an above-mentioned metallic material in practice.

[0092] In addition, the approach of depositing the alloys (nickel-Au alloy etc.) of the metallic material which forms the above-mentioned 1st metal layer on a p mold ZnO single crystal, and the metallic material which forms the above-mentioned 2nd metal layer for example, by the sputtering method is also effective.

[0093] In the above-mentioned example, the p mold ZnO system single crystal was formed by the approach of Ga and N which carries out a ** dope while having grown up the ZnO system single crystal.

[0094] In addition, the p mold ZnO system single crystal which has a property almost equivalent to a p mold ZnO single crystal can be formed using the approach explained below.

[0095] The crystal growth equipment used for growth of a p mold ZnO system single crystal is the same equipment as above RS-MBE equipment (drawing 1). However, Te is put in instead of Ga all over the port 21 for Ga in drawing 1 . The purity of Te is 6Ns. RS-MBE equipment is equipped with the K cel 27 and shutter S2 which carry out heating evaporation of the Te while it holds a raw material Te (25). It can grow up using the RHEED gun 51 and the RHEED screen 55 which were attached in MBE equipment, carrying out monitoring of the situation (an amount of growth, grown-up quality of a crystal layer) of the crystal growth within MBE equipment A.

[0096] The temperature of crystal growth, the thickness of the crystal growth film, the degree of vacuum in a chamber, etc. are suitably controlled by the control unit C.

[0097] Below, the process which grows a p mold ZnO system single crystal layer on a ZnO substrate is explained.

[0098] All crystal growth is performed by the MBE method.

[0099] The amount of beams of Zn is $1.0 \times 10^{-7} \text{Torr}$, and the amount of beams of Te is $5.0 \times 10^{-7} \text{Torr}$.

[0100] RF plasma source of O is used as a source of supply of an oxygen beam. Pure oxygen (purity of 6Ns) gas is introduced into O radical port 31, and it radical-izes using the source of a high frequency oscillation.

[0101] RF plasma source of N is used as a source of supply of a nitrogen beam. Pure nitrogen (purity of 6Ns) gas is introduced into N radical port 41, and it radical-izes using the source of a high frequency oscillation.

[0102] Oxygen (flow rate 2sccm) is [$5 \times 10^{-5} \text{Torr}$ and the nitrogen (flow rate 0.03sccm) of the port 31 of the oxygen which is the gas source, and nitrogen, and the pressure in 41] $2 \times 10^{-6} \text{Torr(s)}$ respectively. Growth temperature is 600 degrees C.

[0103] Here, the value of the above-mentioned pressure shows the indicated value of the nude ion gage attached in the substrate

electrode-holder location (growth location).

[0104] Moreover, as a flow rate of the above-mentioned gas source, although the unit of sccm was used, this shows the flow rate in 25 degrees C and one atmospheric pressure as everyone knows.

[0105] Drawing 4 shows two kinds of growth processes ((a) and (b)) for growing up a ZnO crystal by the closing motion sequence of S4 from a shutter S1.

[0106] Drawing 4 (a) shows the 1st growth process of two kinds of growth processes. To time amount t1, the shutter S3 of the shutters S1 and O of Zn is opened. Zn element and O element come flying on substrate 100 front face, and a ZnO crystal layer grows. A ZnO crystal grows per molecular layer by controlling growth parameters, such as Zn amount of supply and O amount of supply.

[0107] In addition, one molecular layer means the crystal unit which consists of one atomic layer of Zn, and one atomic layer of O on these specifications. Shutters S1 and S3 are opened until the crystal of ten molecular layers grows.

[0108] The shutter S3 of O is closed in time amount t2, and only Zn is supplied before time amount t3. The termination side of Zn is formed in the ZnO layer 101a maximum front face of undoping as a result of Zn supply. Since it is desorbed from superfluous Zn, all shutters are closed from t3 before t4. In time amount t4, shutter S4 of the shutters S2 and N of Te is made open, and Te and N are supplied on the termination side of Zn. When Zn termination side, Te, and N join together, one molecular layer of ZnTe layers by which N was doped grows.

[0109] In addition, at time of day t4, the RHEED pattern of a ZnTe layer is (2x1), and shows Te Rich's condition.

[0110] All shutters are closed from t5 before t6, it ****s and an excessive atom is exhausted. Then, the shutter S1 of Zn is opened again and the termination side of ZnTe is corrected. The front face which is Te Rich is changed into Zn Rich's front face. This makes surface morphology and a polar improvement.

[0111] Next, the shutter S3 of O is made open (t7), and ZnO is grown up again. This condition is equivalent to the condition of time of day t1. The above process is repeated 30 times.

[0112] By passing through the above process, a p mold ZnO system single crystal can be grown up.

[0113] The second growth process is shown in drawing 4 (b). The outline of a growth process is shown below.

[0114] The shutter S1 of Zn is opened and it changes into the condition of having supplied Zn element continuously on the substrate. The shutter S3 of O is opened by time amount t2, O element is supplied and ZnO by which impurity doping is not carried out positively is grown up.

[0115] Subsequently, after closing the shutter S3 of O by time amount t2 and suspending supply of O element, shutter S4 of the shutters S2 and N of Te is opened by time amount t4, and the ZnTe layer which supplies Te element and N element and by which N was doped is grown up.

[0116] A shutter S3 and S4 are closed from time amount t5 before t6, and the termination side of ZnTe is corrected.

[0117] Next, the shutter S3 of O is made open (t7), and ZnO is grown up again. This condition is equivalent to the condition of time of day t1. The above process is repeated 30 times.

[0118] In addition, in forming the ZnO buffer layer 101, after supplying Zn and O on a substrate 100 beforehand and growing up the ZnO layer of desired thickness, the above-mentioned process is performed.

[0119] As for the p mold ZnO system single crystal layer formed after passing through either of the above two processes, the laminating of the ZnTe is carried out for ZnO at a rate of one molecular layer to ten molecular layers. The band gap of the superlattice layer by which the laminating was carried out is almost the same as ZnO. ZnTe shows the conductivity of p mold with doping N as an impurity. The impurity diffusion of N from the ZnTe layer of N dope and migration of a hole are produced over ten molecular layer among ZnO layers.

[0120] Thus, the grown-up ZnO/ZnTe superlattice layer shows the property as a conductive layer of p mold as a whole.

[0121] The thickness of ZnTe was limited to one molecular layer. It is the thickness below critical thickness and distortion generated in a growth phase can be suppressed small. The surface morphology of a growth phase can be made good.

[0122] If the flow rate of N to ZnTe is set to 0.05 or less ccms in the above-mentioned growth conditions, the amount of doping of N to the inside of ZnTe will be stopped by three or less [$1 \times 10^{20} \text{cm}^{-3}$].

[0123] Preferably, N concentration doped by ZnO by diffusion etc. is stopped lower than the doping concentration of N doped by ZnTe.

[0124] The diode which has p-n junction can be created using the manufacturing technology of the above-mentioned p mold ZnO system single crystal layer, and the formation technique of an ohmic electrode over a p mold system ZnO single crystal.

[0125] In order to form the diode which has p-n junction using a ZnO system single crystal, while from the above-mentioned process 1 to a process 6, the process which forms an n mold ZnO single crystal layer between the process which grows the elevated-temperature growth non dope ZnO single crystal layer of a process 4, and the process which forms the p mold ZnO single crystal layer of 5 is performed. You may grow up an n mold ZnO single crystal instead of an elevated-temperature growth non dope ZnO single crystal layer. Ga used as a dopant of n mold impurity during growth of a ZnO single crystal using the Ga port 21 is doped.

[0126] The formed n mold ZnO single crystal layer is 1 micrometer in thickness. The amount of dopes of Ga is $1 \times 10^{18} \text{cm}^{-3}$.

[0127] On an n mold ZnO single crystal layer, a p mold ZnO single crystal layer is formed.

[0128] After crystal growth termination, by the liquid phase etching method or the gas-phase-etching method, a p mold ZnO single crystal layer is etched, and the front face of an n mold ZnO single crystal layer is exposed.

[0129] On the front face of the exposed n mold ZnO single crystal layer, ingredients, such as aluminum, are used and the 1st electrode is formed.

[0130] According to the above-mentioned process of 6, and the same process, the 2nd electrode is formed using ingredients, such as nickel/Au, after that.

[0131] Of the above-mentioned process, the p-n junction diode using a ZnO single crystal is formed.

[0132] In the above-mentioned structure, if the electrical potential difference of plus is impressed to the 2nd electrode to the 1st electrode, forward current will flow to p-n junction. The minority carrier (electron) poured in into the p mold ZnO single crystal layer and the majority carrier in a p mold ZnO single crystal layer (electron hole) carry out radiation recombination. The light which has energy almost equal to the energy gap of a forbidden band in the case of the recombination of an electron and an electron hole occurs. That is, electric energy is transformed into luminous energy.

[0133] An OPTO semiconductor device is made using the above-mentioned p-n junction diode structure.

[0134] The semiconductor device (OPTO semiconductor device) by the gestalt of operation of the 2nd of this invention is explained.

[0135] The cross-section structure of LED (Light Emitting Diode) which used the p-n junction of a p mold ZnO single crystal layer and an n mold ZnO single crystal layer for drawing 5 is shown.

[0136] The low-temperature growth ZnO buffer layer 305 of a non dope with a thickness of 10nm by which low-temperature growth of

the LED shown in drawing 5 was carried out on it with the sapphire substrate 301, The elevated-temperature growth non dope ZnO single crystal layer 307 with a thickness of 1 micrometer which grew on it, The ZnO system single crystal layer 315 of above-mentioned p mold which carried out the ** dope of the n mold (Ga dope: $1 \times 10^{18} \text{cm}^{-3}$) elevated-temperature growth ZnO single crystal layer 311 with a thickness of 1 micrometer which grew on it, and N and Ga with a thickness of 100nm formed on it is included.

[0137] It is in contact with the n mold ZnO single crystal layer 311 with the 1st electrode 321 which consists of aluminum.

[0138] In addition, in order to form an n mold ZnO layer, other 3 group elements, such as aluminum, may be doped instead of Ga.

[0139] The p mold ZnO system single crystal layer 315 formed of the ** dope (N, Ga) is processed in the shape of an island.

[0140] The p mold ZnO single crystal layer 315 processed in the shape of an island is covered with the insulator layer 318 which consists of Si_3N_4 . Opening of for example, an approximate circle form penetrates an insulator layer 318 in the up front face of the p mold ZnO single crystal layer 315, and is formed in it.

[0141] On the top-face periphery of the p mold ZnO single crystal layer 315, the ring-like 2nd electrode 325 (1st metal layer 325a (nickel) and 2nd metal layer 325b (Au)) is formed. A part of the inferior surface of tongue [at least] of the ring-like 2nd electrode contacts the periphery on the front face of up of the p mold ZnO layer 315. The part of the method of the outside of the direction of a path of the ring-like 2nd electrode 235 has structure which ran aground on the insulator layer 318.

[0142] In the above-mentioned structure, if the electrical potential difference of plus is impressed to the 2nd electrode 325 (325a, 325b) to the 1st electrode 321, forward current will flow to p-n junction. The minority carrier (electron) poured in into the p mold ZnO single crystal layer 315 and the majority carrier in the p mold ZnO single crystal layer 315 (electron hole) carry out luminescent recombination. The light which has energy equal to the energy gap of the forbidden band of ZnO in the case of the recombination of an electron and an electron hole carries out outgoing radiation from opening 327. The wavelength of outgoing radiation light is about 370nm.

[0143] Drawing 6 is the sectional view showing the 1st modification of the semiconductor device by the gestalt of operation of the 2nd of this invention.

[0144] Drawing 6 (a) is the sectional view showing the structure of LED (Light Emitting Diode) containing the p-n junction diode using ZnO of Ga dope as a n-type semiconductor, using the superlattice which consists of ZnTe of a ZnO/N dope as a p type semiconductor.

[0145] Drawing 6 (b) is the sectional view showing the superstructure which consists of ZnO/ZnTe.

[0146] The ZnO buffer layer 305 of a non dope with a thickness of 10nm by which low-temperature growth of the LED was carried out on it with the sapphire substrate 301 as shown in drawing 6 (a), The elevated-temperature growth non dope ZnO single crystal layer 307 with a thickness of 1 micrometer which grew on it, It grows up on it and the n mold (Ga dope: $1 \times 10^{18} \text{cm}^{-3}$) ZnO layer 311 with a thickness of 1 micrometer and the superlattice layer 316 (about 100nm as total thickness) to which the laminating of ZnO of 30 layers formed on it and the ZnTe (N) was carried out by turns are included.

[0147] As shown in drawing 6 (b), a superlattice layer is used as a p mold ZnO system single crystal layer instead of the ** dope p mold ZnO single crystal 315 (drawing 5). The superlattice layer 316 of the ZnO layer of undoping and the ZnTe layer of N dope is used on the n mold ZnO layer 311.

[0148] the superlattice layer 316 — the ZnO layers 331a and 331b and ... it is formed by the crosswise lamination of 331z and the ZnTe layers 333a, 333b, ..., 333z. the ZnO layers 331a and 331b and ... each of 331Z — for example, ten molecular layers — it is — the ZnTe layers 333a and 333b and ... each of 333z is for example, one molecular layer.

[0149] The total thickness of the superlattice layer 316 is about 100nm. The laminating of the ZnTe is carried out for ZnO at a rate of one molecular layer to ten molecular layers. The band gap of the superlattice layer by which the laminating was carried out is almost the same as ZnO. ZnTe shows the conductivity of p mold with doping N as an impurity. The impurity diffusion of N and migration of a hole arise from the ZnTe layer of N dope over ZnO layer 10 molecular layer to a ZnO layer.

[0150] On the ZnO/ZnTe superlattice layer which shows the conductivity of p mold, ohmic junction can be acquired to a p mold ZnO/ZnTe superlattice layer by forming the electrode which consists of nickel/Au by the same approach as the ohmic electrode for p mold ZnO single crystals by the gestalt of implementation of the above 1st.

[0151] It is in contact with the n mold ZnO layer 311 (drawing 6 (a)) with the 1st electrode 321 (aluminum).

[0152] In order to form an n mold ZnO layer, other 3 group elements, such as aluminum, may be doped instead of Ga.

[0153] The superlattice layer 316 is processed in the shape of an island. As for the superlattice layer 316 processed in the shape of an island, the lateral part is covered with the insulator layer 318 which consists of SiN . Opening of for example, an approximate circle form is formed in the up front face of the superlattice layer 316 among insulator layers 318. Covering protection of the side face is carried out by the insulator layer 318 at least among the superlattice layers 316 processed in the shape of an island.

[0154] The ring-like 2nd electrode 325 (325a, 325b) which has opening is formed in the periphery of the superlattice layer 316. As for the ring-like 2nd electrode, the inferior surface of tongue by the side of the inner circumference contacts the periphery on the front face of up of the superlattice layer 316. The periphery section has structure which ran aground on the insulator layer 318 among the 2nd electrode.

[0155] In the above-mentioned structure, if the electrical potential difference of plus is impressed to the 2nd electrode 325 to the 1st electrode 321, forward current will flow to p-n junction. The minority carrier (electron) poured in into the superlattice layer 316 of p mold and the majority carrier in the superlattice layer 316 of p mold (electron hole) carry out radiation recombination. The light which has energy almost equal to the energy gap of a forbidden band in the case of the recombination of an electron and an electron hole emits from said opening. That is, electric energy is transformed into luminous energy.

[0156] The 2nd modification of the semiconductor device (LED) by the gestalt of the 2nd operation to drawing 7 is shown.

[0157] The low-temperature growth ZnO buffer layer 405 of a non dope with a thickness of 10nm by which low-temperature growth of the LED shown in drawing 7 was carried out on it with the sapphire substrate 401, The elevated-temperature growth non dope ZnO single crystal layer 407 with a thickness of 1 micrometer which grew on it, The p mold ZnO system single crystal layer 415 which carried out the ** dope of the n mold (Ga dope: $1 \times 10^{18} \text{cm}^{-3}$) elevated-temperature growth ZnO single crystal layer 411 with a thickness of 1 micrometer which grew on it, and N and Ga with a thickness of 100nm formed on it is included.

[0158] It is in contact with the n mold ZnO single crystal layer 411 with the 1st electrode 421 which consists of aluminum.

[0159] In addition, in order to form an n mold ZnO layer, other 3 group elements, such as aluminum, may be doped instead of Ga.

[0160] The p mold ZnO system single crystal layer 415 formed of the ** dope (N, Ga) is processed in the shape of an island.

[0161] The p mold ZnO system single crystal layer 415 processed in the shape of an island is covered with the insulator layer 418 which consists of Si_3N_4 . Opening of for example, an approximate circle form penetrates an insulator layer 418 in the up front face of the p mold ZnO single crystal layer 415, and is formed in it.

[0162] On the front face of the p mold ZnO system single crystal layer 415, the 2nd electrode 425 (1st metal layer 425a, for example, nickel, and 2nd metal layer 425b, for example, Au) is formed. A part of the inferior surface of tongue [at least] of the 2nd electrode 425 contacts the front face of the p mold ZnO system single crystal layer 415. The part of the method of the outside of the direction of a path of the 2nd electrode 425 (425a, 425b) formed in the shape of a ring has structure which ran aground on the insulator layer 418. The 2nd electrode 425 (425a, 425b) has the electrode structure of nickel/Au.

[0163] On the 2nd electrode 425 (425a, 425b), the reflector 427 is formed so that opening currently formed in the 2nd electrode 425 (425a, 425b) of the above may also be covered. The reflector 427 is formed with the metallic material with a high reflection factor like aluminum or Ag.

[0164] In the above-mentioned structure, if the electrical potential difference of plus is impressed to the 2nd electrode 425 (425a, 425b) to the 1st electrode 421, forward current will flow to p-n junction. The minority carrier (electron) poured in into the p mold ZnO system single crystal layer 415 and the majority carrier in the p mold ZnO system single crystal layer 415 (electron hole) carry out luminescent recombination. The light which has energy almost equal to the energy gap of a forbidden band in the case of the recombination of an electron and an electron hole occurs. That is, electric energy is transformed into luminous energy.

[0165] The generated light penetrates the sapphire substrate 401. It is reflected by the reflector 427 and, finally the light by which outgoing radiation is carried out to a sapphire substrate 401 and reverse side penetrates the sapphire substrate 401. The wavelength of the light which penetrates the sapphire substrate 401 is about 370nm.

[0166] The 3rd modification of the semiconductor device (LED) by the gestalt of implementation of the above 2nd is shown in drawing 8.

[0167] LED shown in drawing 8 is flip chip type LED.

[0168] This flip chip type of LED has the structure of LED shown in drawing 5, and the same structure.

[0169] The low-temperature growth ZnO buffer layer 305 of the non dope with a thickness of 10nm by which low-temperature growth was carried out more on it with the sapphire substrate 301 at the detail. The elevated-temperature growth non dope ZnO single crystal layer 307 with a thickness of 1 micrometer which grew on it. The above-mentioned p mold ZnO system single crystal layer 315 which carried out the ** dope of the n mold (Ga dope: $1 \times 10^{18} \text{cm}^{-3}$) elevated-temperature growth ZnO single crystal layer 311 with a thickness of 1 micrometer which grew on it, and N and Ga with a thickness of 100nm formed on it is included.

[0170] It is in contact with the n mold ZnO single crystal layer 311 with the 1st electrode 321 which consists of aluminum.

[0171] The p mold ZnO system single crystal layer 315 formed of the ** dope (N, Ga) is processed in the shape of an island.

[0172] a part of p mold ZnO system single crystal layer 315 — the 2nd electrode 325 (325a, 325b) is formed on a field. The 2nd electrode 325 (325a, 325b) has the electrode structure of nickel/Au. The reflector 331 which consists of a metallic material with high reflection factors, such as aluminum and Ag, is formed in the rear face of the sapphire substrate 301.

[0173] The rear face (side in which the reflector 331 is formed) of the sapphire substrate 301 of LED which has the above-mentioned structure is turned up, and it carries on the glass substrate 341 currently prepared separately.

[0174] The 1st and 2nd circuit patterns 345a and 345b formed of Ti/Au are formed more in the predetermined field on a glass substrate 341 at the detail.

[0175] 1st circuit pattern 345a is electrically connected with the 1st electrode 311 through the bump 347.

[0176] 2nd circuit pattern 345b is connected with the 2nd electrode 325 (325a, 325b) directly electrically.

[0177] In the above-mentioned structure, if an electrical potential difference is impressed between the 1st and 2nd circuit pattern 345a and 345b so that the electrical potential difference of plus may be impressed to the 2nd electrode 325 (325a, 325b) to the 1st electrode 321, forward current will flow to p-n junction. The minority carrier (electron) poured in into the p mold ZnO system single crystal layer 315 and the majority carrier in the p mold ZnO system single crystal layer 315 (electron hole) carry out luminescent recombination. In the case of the recombination of an electron and an electron hole, the light which has energy equal to the energy gap of the forbidden band of ZnO carries out outgoing radiation, and penetrates a glass substrate 341. It is reflected by the reflector 331 and, finally the light by which outgoing radiation is carried out to a glass substrate 341 and reverse side penetrates a glass substrate 341. The wavelength of the light which penetrates a glass substrate 341 is about 370nm.

[0178] In addition, in the gestalt of this above-mentioned operation, although LED was explained as an example of the semiconductor device using the p-n junction of a p mold ZnO system single crystal layer and an n mold ZnO single crystal layer, it is also possible to form a laser component combining a p mold ZnO system single crystal layer and an n mold ZnO single crystal layer. In addition, it cannot be overemphasized that it is also possible to manufacture the semiconductor device which combined electron devices, such as FET and a bipolar transistor, other optical devices, and these combining a p mold ZnO single crystal layer.

[0179] As mentioned above, although this invention was explained in accordance with the gestalt of operation, this invention is not restricted to these. Various process parameters of the conditions and others of crystal growth can also be chosen. In addition, it is obvious ***** in this contractor for various modification, amelioration, combination, etc. to be possible.

[0180]

[Effect of the Invention] The semiconductor device which has a good ohmic electrode to a p mold ZnO system single crystal layer can be formed.

[0181] When a semiconductor device is formed, operating voltage can be lowered and low-power-ization is attained. Since the parasitism resistance resulting from an ohmic electrode can be reduced, the effect of generation of heat in a semiconductor device can be suppressed.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the outline of the MBE equipment for growing up the crystal structure included in the semiconductor device by the gestalt of operation of the 1st of this invention.

[Drawing 2] It is the sectional view showing the structure of the semiconductor device by the gestalt of operation of the 1st of this invention.

[Drawing 3] It is drawing showing the current-voltage characteristic of the semiconductor device by the gestalt of operation of the 1st of this invention.

[Drawing 4] It is the timing chart which shows the sequence approach of the shutter for growing up the crystal structure included in the semiconductor device by the 1st modification of the gestalt of operation of the 1st of this invention.

[Drawing 5] It is a semiconductor device by the gestalt of operation of the 2nd of this invention, and is the sectional view showing the structure which applied the semiconductor device by the gestalt of implementation of the above 1st to LED.

[Drawing 6] It is the sectional view of the crystal structure by the 1st modification of the semiconductor device by the gestalt of operation of the 2nd of this invention. Drawing 6 (a) is the sectional view showing the whole structure. Drawing 6 (b) is the sectional view showing the structure of a superlattice layer.

[Drawing 7] It is the sectional view showing the structure which applied the semiconductor device by the 2nd modification of the gestalt of operation of the 2nd of this invention to LED.

[Drawing 8] It is the sectional view showing the structure which applied the semiconductor device by the 3rd modification of the gestalt of operation of the 2nd of this invention to LED.

[Description of Notations]

A RS-MBE equipment

C Control unit

P Vacuum pump

S Substrate

1 Chamber

3 Substrate Electrode Holder

3a Heater

5 Thermocouple

7 Manipulator

11 Port for Zn

15 Zn Raw Material

17 Knudsen Cell

21 O Radical Port

31 N Radical Port

100 ZnO Substrate

101 ZnO Buffer Layer (Low-temperature Growth ZnO Buffer Layer)

103 ZnO Single Crystal Layer (Elevated-Temperature Growth ZnO Single Crystal Layer)

105 N Mold ZnO System Single Crystal Layer

107 P Mold ZnO System Single Crystal Layer

108 Electrode

108a The 1st metal layer

108b The 2nd metal layer

301 Sapphire Substrate

305 ZnO Buffer Layer (Low-temperature Growth ZnO Buffer Layer)

307 Undoping ZnO Single Crystal Layer (Elevated-Temperature Growth ZnO Single Crystal Layer)

311 N Mold ZnO Single Crystal Layer (Elevated-Temperature Growth ZnO Single Crystal Layer)

315 P Mold ZnO System Single Crystal Layer (Elevated-Temperature Growth ZnO Single Crystal Layer)

318 Insulator Layer

321 1st Electrode

325 2nd Electrode

[Translation done.]

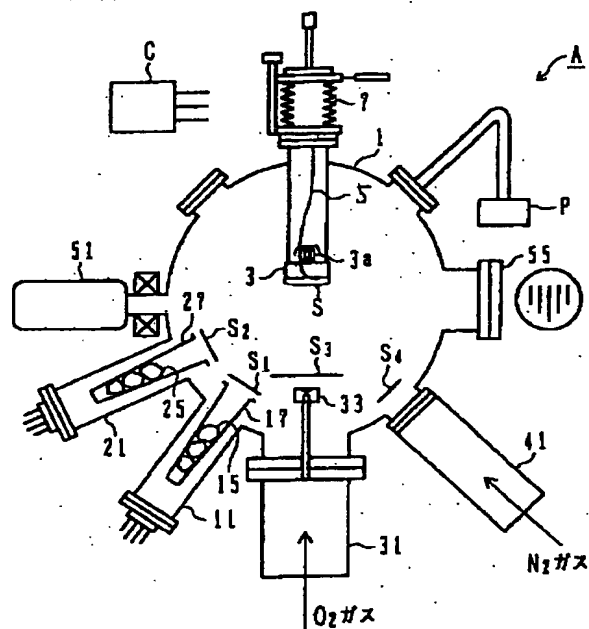
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

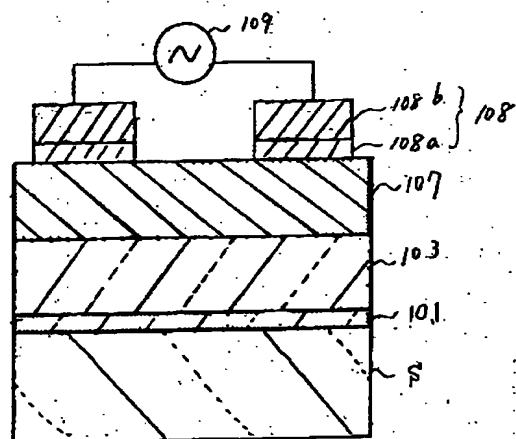
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

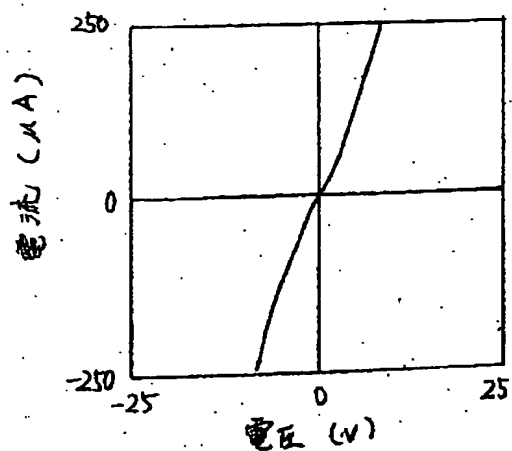
[Drawing 1]



[Drawing 2]

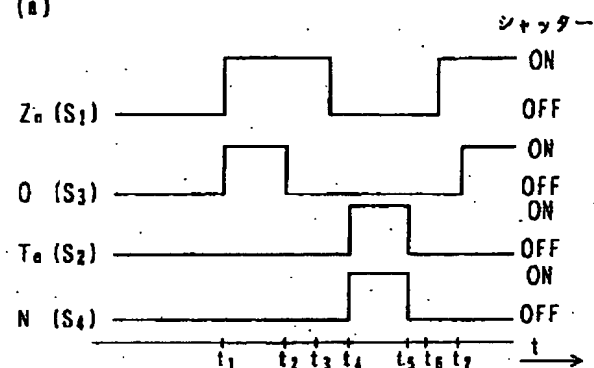


[Drawing 3]

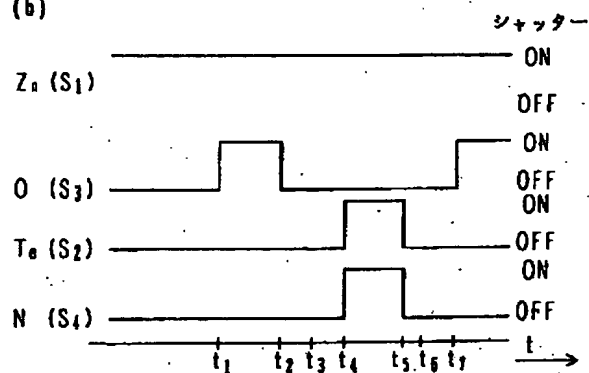


[Drawing 4]

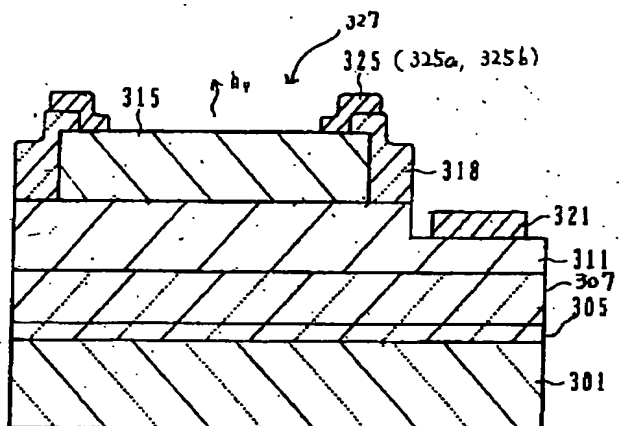
(a)



(b)

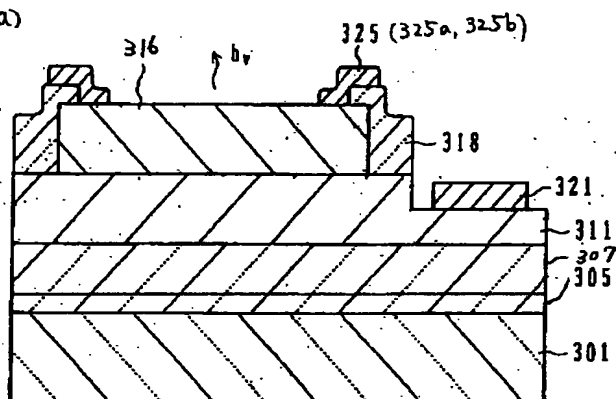


[Drawing 5]

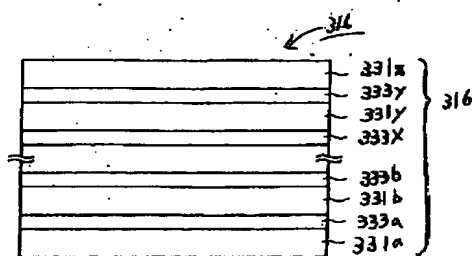


[Drawing 6]

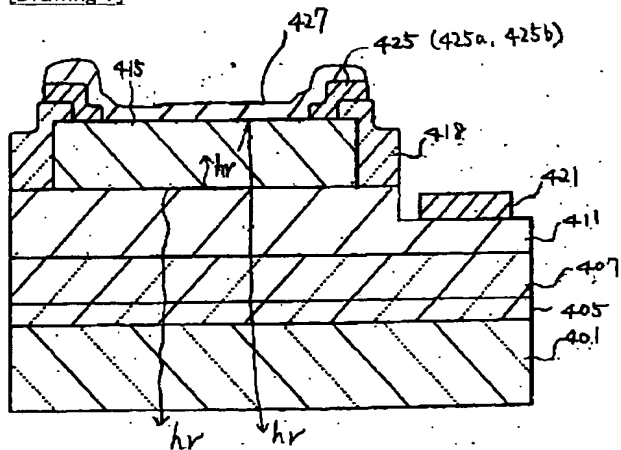
(a)



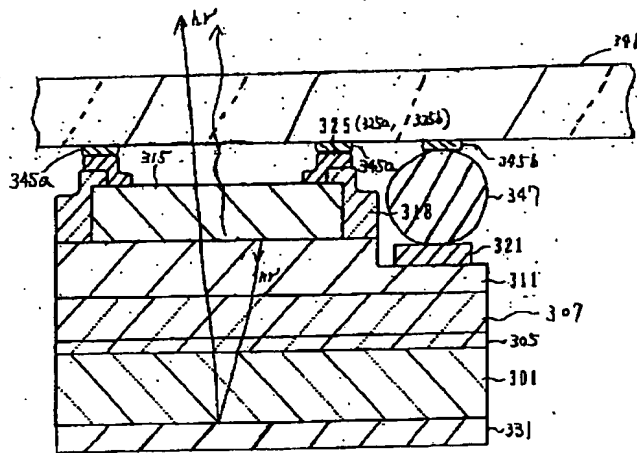
(b)



[Drawing 7]



[Drawing 8]



[Translation done.]